

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/005533

International filing date: 25 March 2005 (25.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-116520
Filing date: 12 April 2004 (12.04.2004)

Date of receipt at the International Bureau: 12 May 2005 (12.05.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 4 月 1 2 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 1 1 6 5 2 0

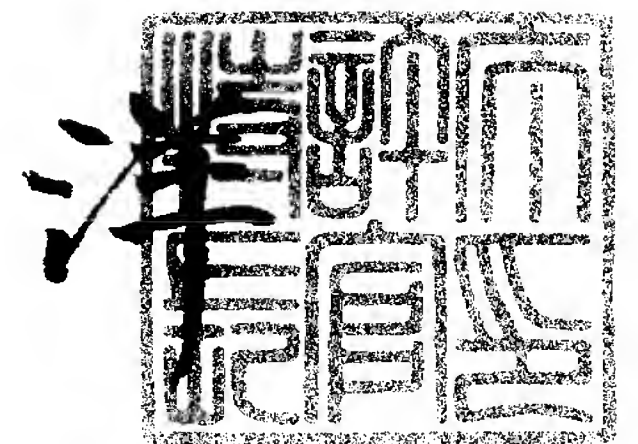
パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
J P 2 0 0 4 - 1 1 6 5 2 0
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

出 願 人
Applicant(s): 松下電器産業株式会社

2 0 0 5 年 4 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 2036450120
【提出日】 平成16年 4月12日
【あて先】 特許庁長官殿
【国際特許分類】 G09G 3/28
【発明者】
 【住所又は居所】 大阪府門真市大字門真1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 永木 敏一
【特許出願人】
 【識別番号】 000005821
 【住所又は居所】 大阪府門真市大字門真1 0 0 6 番地
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100086405
 【弁理士】
 【氏名又は名称】 河宮 治
 【電話番号】 06-6949-1261
 【ファクシミリ番号】 06-6949-0361
【選任した代理人】
 【識別番号】 100098280
 【弁理士】
 【氏名又は名称】 石野 正弘
 【電話番号】 06-6949-1261
 【ファクシミリ番号】 06-6949-0361
【選任した代理人】
 【識別番号】 100125874
 【弁理士】
 【氏名又は名称】 川端 純市
 【電話番号】 06-6949-1261
 【ファクシミリ番号】 06-6949-0361
【手数料の表示】
 【予納台帳番号】 163028
 【納付金額】 16,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0318000

【書類名】 特許請求の範囲

【請求項 1】

複数の電極を有するプラズマディスプレイパネルと、
複数の制御期間の各々に対応した駆動波形を前記電極に供給する駆動回路と、
前記駆動回路に電力を供給する複数の電源回路と、
前記複数の電源回路のうち、各制御期間においてプラズマディスプレイパネルの電極に供給される駆動波形の生成に必要な電源回路の動作をその期間停止させる電力制御回路と
を具備することを特徴とするプラズマディスプレイパネル表示装置。

【請求項 2】

前記電源回路は、トランスまたはインダクタと、該トランスまたはインダクタに電源電圧を断続的に印加させるスイッチと、該スイッチを駆動するスイッチ駆動手段と、該スイッチ駆動手段を制御する制御手段とを含み、

前記電力制御回路は、前記電源回路を停止させるために前記スイッチ駆動手段を停止させることを特徴とする請求項 1 に記載のプラズマディスプレイパネル表示装置。

【請求項 3】

前記電力制御回路は、リセット期間、アドレス期間、サステイン期間またはサブフィールド周期もしくはフィールド周期と同期して電源回路の動作を停止させることを特徴とする請求項 1 または請求項 2 に記載のプラズマディスプレイパネル表示装置。

【請求項 4】

複数の電極を有するプラズマディスプレイパネルと、
前記電極に駆動波形を供給する駆動回路と、
前記駆動回路に電力を供給する電源回路と、
前記電源回路の停止期間を前記プラズマディスプレイパネルの発光状態に基づいて制御することによりプラズマディスプレイパネルの電極に供給可能な出力電力を調整する電力制御回路と
を具備することを特徴とするプラズマディスプレイパネル表示装置。

【請求項 5】

前記電力制御回路は、電源回路の停止期間と動作期間の比率により出力電力を調整することを特徴とする請求項 4 に記載のプラズマディスプレイパネル表示装置。

【請求項 6】

前記電力制御回路による電源回路の停止／動作の繰り返し周波数は可聴周波数以上であることを特徴とする請求項 5 に記載のプラズマディスプレイパネル表示装置。

【請求項 7】

前記電源回路は、トランスまたはインダクタと、該トランスまたはインダクタに電源電圧を断続的に印加させるスイッチと、該スイッチを駆動するスイッチ駆動手段と、該スイッチ駆動手段を制御する制御手段とを含み、

前記電力制御回路は、前記電源回路を停止させるために前記スイッチ駆動手段を停止させることを特徴とする請求項 4 ないし 6 のいずれかに記載のプラズマディスプレイパネル表示装置。

【請求項 8】

前記電力制御回路は、表示される画像情報に基づいて出力電力を調整することを特徴とする請求項 4 ないし 7 のいずれかに記載のプラズマディスプレイパネル表示装置。

【請求項 9】

前記電力制御回路は、アドレス期間において含まれるデータパルス数に基づいて出力電力を調整することを特徴とする請求項 4 ないし 7 のいずれかに記載のプラズマディスプレイパネル表示装置。

【請求項 10】

前記電力制御回路は、データパルス駆動用の電源回路の出力電流に基づいて出力電力を調整することを特徴とする請求項 4 ないし 7 のいずれかに記載のプラズマディスプレイパ

ネル表示装置。

【請求項 1 1】

前記電力制御回路は、フレームメモリに記憶される表示前画像情報に基づいて出力電力を調整することを特徴とする請求項 4 ないし 7 のいずれかに記載のプラズマディスプレイパネル表示装置。

【請求項 1 2】

前記電源回路は共振方式または回生方式にて構成されることを特徴とする請求項 1 ないし 1 1 のいずれかに記載のプラズマディスプレイパネル表示装置。

【書類名】 明細書

【発明の名称】 プラズマディスプレイパネル表示装置

【技術分野】

【0001】

本発明は、プラズマディスプレイパネル（Plasma Display Panel）表示装置に用いられる電力回路の低電力化技術に関する。

【背景技術】

【0002】

カラー表示用パネルとして、プラズマディスプレイパネル（以下「PDP」という。）が商品化されてきている。図18は商品化されている従来の面放電形式の3電極AC型PDPの電極配置と駆動回路構成を示した図である（例えば、非特許文献1参照）。

【0003】

図18に示されるように3電極AC型PDPは、陽極および陰極となる電極（X電極およびY電極またはサステイン電極ともいう。）を、前面側の基板の上に平行に配列し、サステイン電極対と交差するようにアドレス電極を背面側の基板に配列する構造を有する。電極の各交点がアドレスされる放電セルとなる。サステインパルス波形を生成するX駆動回路と走査パルス選択のためのスキャンドライバ経路にてY駆動回路とがサステイン電極に接続され、またアドレスパルス波形を生成するアドレス回路も点灯セルを選択するアドレスドライバ経路にてアドレス電極に接続されている。

【0004】

PDPは、発光／非発光の2値での発光制御しか行えないため、階調を表示するために、輝度の重み付けの異なる2値画像（サブフィールド）を複数連続して表示し、視覚の積分効果により1画像（1フィールド）として表示する。

【0005】

図19は非特許文献1に記載されたサブフィールド期間に各電極に印加される駆動波形例を示すものである。全放電セルの書き込み、消去を行うリセット波形を印加するリセット期間、選択された放電セルに書き込みを行うアドレス波形を印加するアドレス期間、選択書き込みされた放電セルを維持放電させるサステイン波形を印加するサステイン期間（維持期間ともいう）がある。

【0006】

各電極には、放電セルを発光させるために各々の期間に必要な種々の電圧値、パルス幅の異なる波形の電圧が印加される。例えば、図19の例では、リセット期間にはアドレス電極に60V、X電極に360Vの同期したパルスが印加される。アドレス期間にはアドレス電極に60Vのパルス、各Y電極にはアドレス電極パルスの個々に同期した-170Vピークのパルスが-70Vのパルス電圧に重畳されて印加され、またX電極にはアドレス期間中は50Vが印加される。サステイン期間にはアドレス電極に60Vが印加され、X電極、Y電極には交互に180Vのパルスが印加される。このように種々のパルス電圧を印加するため、複数の電源回路が設けられている。このサブフィールドのサステイン期間のパルス数により輝度の重み付けを行う。このパルス数が多いほど発光時間が長くなり、輝度が高くなる。1フィールドは、サステイン期間中の発光可能パルス数が異なる8～10枚程度のサブフィールドにより構成される。

【0007】

図20は非特許文献1に記載された駆動波形を、RGB画像データから生成する駆動回路のブロック図である。RGB信号は一旦フレームメモリに蓄積され、I/Oバッファにて各サブフィールドのアドレス操作に対応してアドレスドライバに転送される。スキャン側への制御信号も同時に作られ同期したタイミングでY側ドライバに転送される。Xサステインパルスは直接各々の電極に印加され、Yサステインパルスはスキャンドライバ経路にて、アドレスパルスはアドレスドライバ経路にて各々の電極に印加され画像を表示する。

【0008】

特に近年、PDP表示装置の大画面化や高精細化による画素数の増加が進んでいるが、それにともないパネルの放電や駆動回路に使用される電力も大きく増加している。このため、PDP表示装置における消費電力の削減技術が種々提案されている。

【0009】

例えば、特許文献1には複数の行および列電極を備えたプラズマディスプレイパネルと、行および列選択信号に従い行および列電極をそれぞれ励振する複数の行および列ドライバと、行および列ドライバに互いに逆位相なる2相の高圧高周波パルスをそれぞれ供給する高圧高周波発振回路と、これに電力を供給する電源ユニットとで構成される表示装置において、電源ユニットから高圧高周波発振回路への電力供給線の途中に電流センサを設け、電流センサ出力により高圧高周波発振回路の発振周波数を可変し得るような構成を有するPDP表示装置が記載されている。

【0010】

特許文献1に記載のPDP表示装置では、電源ユニットと高圧高周波発振回路の間に設けられたセンサが電源ユニットから流出する電流量を検知しており、このため、PDPの表示文字数が多くなり負荷電流が増加し高圧高周波発振回路への供給電流が増加すると、高圧高周波発振回路の発振周波数を低下させる。そのためプラズマディスプレイパネルへの負荷電流が減少し、電源ユニットから流出する電流量は一定となり電力の増加が抑制される。

【0011】

【特許文献1】 特開昭56-119191号公報（全頁、第1図および第2図）

【非特許文献1】 内田龍男、他1名監修、“フラットパネルディスプレイ大事典”、2001年12月25日初版、株式会社 工業調査会 発行、（P612 図1および図2、P613～614 図1）

【発明の開示】

【発明が解決しようとする課題】

【0012】

前述の従来の構成においてはPDPに印加される高圧高周波パルス周波数を低下させるため表示輝度が低下する。従来の構成の適用例である文字表示タイプのPDPにおいては画面全領域に文字表示を行うことは極めて稀であり、表示輝度の低下は実用上問題とはならない。しかし、静止画、動画等を画面全領域にカラー表示するPDPにおいては表示輝度の低下は画像品質上の大きな問題となる。

【0013】

本発明は、上記の課題を解決するものであり、表示輝度の低下を伴うことなく、消費電力を低減するPDP表示装置を提供することを目的とする。

【課題を解決するための手段】

【0014】

本発明に係る第1のPDP表示装置は、複数の電極を有するプラズマディスプレイパネルと、複数の制御期間の各々に対応した駆動波形を前記電極に供給する駆動回路と、駆動回路に電力を供給する複数の電源回路と、複数の電源回路のうち、各制御期間においてプラズマディスプレイパネルの電極に供給される駆動波形の生成に必要な電源回路の動作をその期間停止させる電力制御回路とを有している。この構成によって、ある制御期間においてプラズマディスプレイパネルへの印加波形に寄与しない電源回路を、その期間停止させることで電源回路内にて消費される電力を低減することができる。

【0015】

また、本発明に係る第2のPDP表示装置は、複数の電極を有するプラズマディスプレイパネルと、電極に駆動波形を供給する駆動回路と、駆動回路に電力を供給する電源回路と、電源回路の停止期間をプラズマディスプレイパネルの発光状態に基づいて制御することによりプラズマディスプレイパネルの電極に供給可能な出力電力を調整する電力制御回路とを有している。この構成によって、プラズマディスプレイパネルの発光状態に基づいて電源回路の動作期間をその時点での必要最小限の動作期間に抑制でき、電源回路内にて

消費される電力を低減することができる。

【発明の効果】

【0016】

本発明のプラズマディスプレイパネル表示装置は、各制御期間毎に、その制御期間において各電極に供給される各々の波形に必要な電源回路を停止させる。停止により電源回路内にて消費される電力を削減することができる。または、プラズマディスプレイパネルの発光状態に基づいて電源回路の動作期間をその時点での必要最小限の動作期間に抑制でき、電源回路内にて消費される電力を低減することができる。以上より、表示輝度の低下を伴うことなく、消費電力を低減したプラズマディスプレイパネル表示装置を実現することができる。

【発明を実施するための最良の形態】

【0017】

以下、添付の図面を参照して、本発明に係るPDP表示装置の実施の形態について説明する。

【0018】

（実施の形態1）

図1から図4を参照し、本発明に係るPDP表示装置の第1の実施形態について説明する。

【0019】

図1は本実施形態のPDP表示装置のブロック図である。PDP表示装置は、複数の電極を有するPDP（プラズマディスプレイパネル）1と、PDP1の電極に所定の制御期間に対応した駆動波形を生成し印加する駆動回路2と、駆動回路2経由にてPDP1に電力を供給する電源回路群3と、各期間信号により電源回路群3を動作、停止させる電力制御回路4とで構成される。

【0020】

図19に示されるように駆動波形を構成するために数種類の電源回路が必要であるため、電源回路群3は、それぞれ異なった電圧を生成する複数の電源回路3a、3b、…を含む。例えば、電源回路3aは50Vの電圧を、電源回路3bは60Vの電圧を、電源回路3cは180Vの電圧を生成する。各電源回路の電力は、担当する各期間の波形やパネルサイズにより数Wから数百Wになる。各電源回路は形状、消費電力の観点よりスイッチング方式により構成されるのが好ましい。

【0021】

本実施形態では、電源回路群3中の複数の電源回路の中で、リセット期間、アドレス期間及びサステイン期間の各期間において必要とされる電源回路のみを動作させるようにする。

【0022】

図2は、電源回路群3に含まれる電源回路と電力制御回路4の詳細な構成を示したブロック図である。なお、同図に示す構成は、各電源回路3a、3b、…に適用可能であり、参照符号として「3a」、「3b」、…を総称した「3x」を用いている。図2に示すように、電源回路3xはスイッチング方式にて構成される。電源回路3xは、直流電源301の電圧をスイッチ304によりオン・オフしてトランス305の一次巻線に印加することにより、その2次巻線に交流パルス電圧を発生させ、整流平滑回路306にて所望のDC電圧に変換する。出力されるDC電圧はトランス305の巻数比とスイッチ304のオン・オフ比率により決まる。スイッチ304をオン・オフするドライブ回路303は制御回路302出力パルス（S）により駆動される。

【0023】

電力制御回路4は不要期間制御回路停止回路401を含む。不要期間制御回路停止回路401は、ある制御期間（アドレス期間等）においてPDP1の電極に印加される波形の形成に寄与しない電源回路について、その期間その電源回路の動作を停止させるよう制御信号を出力する。

【0024】

図3(a)に、アドレス期間に必要とされる電源回路に対する不要期間制御回路停止回路401と制御回路302についての具体的な構成例を示す。図3(a)に示す不要期間制御回路停止回路401を含む電源回路は、アドレス期間中に必要な電源を供給する電源回路(たとえば図19に示す-170V電源回路)であり、アドレス期間中のみ動作し、リセット期間やサステイン期間中は停止する。

【0025】

図3(a)に示すように、不要期間制御回路停止回路401は、リセット期間用信号およびアドレス期間用信号を入力とするORゲート401aと、ORゲート401aの出力に接続され、比較器302dの入力に接続されるトランジスタ401bとで構成される。制御回路302は基準電圧302bと制御用信号(S0)(整流平滑回路306の出力電圧)を入力とする演算増幅器302aの出力を、抵抗302cを介して比較器302dに入力する。比較器302dにて演算増幅器302aの出力と、三角波302eとを比較する。なお、制御用信号(S0)として、整流平滑回路306の出力電圧を用いている。整流平滑回路306の出力電圧が低い場合、演算増幅器302aの出力電圧が上昇し、比較器302dの出力パルス幅は広くなり整流平滑回路306の出力電圧を上昇させ、整流平滑回路306の出力電圧が一定になるように制御される。

【0026】

図3(b)に、図3(a)に示す構成における、リセット期間用信号、アドレス期間用信号、OR401aの出力、トランジスタ401bのエミッタ電圧、制御回路302の出力信号、制御用信号(S0)の波形を示す。図3(b)に示すように、ORゲート401aの出力は、リセット期間およびアドレス期間においては「ハイ」状態、サステイン期間においては「ロー」状態となる。このためサステイン期間では、トランジスタ401bはオンとなり比較器302dの一方の入力を0Vにする。したがって、比較器302dの出力パルスは停止し、ドライブ回路303の動作が停止する。

【0027】

ドライブ回路303の動作停止によりスイッチ304はオフとなるため、リセット期間およびサステイン期間のほとんどの期間で、トランス305の1次巻線、2次巻線、スイッチ304、整流平滑回路306には電流が流れない。そのため、この動作停止期間、トランス305の1次巻線、2次巻線、スイッチ304、整流平滑回路306による導通損失、トランス305のコア損失、スイッチ304のスイッチング損失およびドライブ回路303の動作損失が削減される。

【0028】

なお、図3(b)において、トランジスタ401bのエミッタ信号がリセット期間信号の立上りに対して時間遅れを発生しているのは、図3(a)には記載していないが、トランジスタ401bの誤動作対策のための回路や演算増幅器302aの負帰還回路の容量成分のためである。また、図3(a)は不要期間制御回路停止回路401と制御回路302の一例であり、種々の回路にて構成でき、この限りではない。また動作、停止させる信号として期間用信号を用いているが、この信号に同期するものであれば同様の動作が可能である。

【0029】

また、図3(b)において、制御回路302の出力信号はリセット期間の途中から出力されているが、これは、トランジスタ401bの立上りの遅延時間 Δt を考慮したためであり、アドレス期間開始時に必ず制御回路302の出力信号が出力された状態にあるようにするため、アドレス期間の開始の直前から制御回路302の出力信号を出力し始めている。実質的には、アドレス期間のみ制御回路302を動作させることを意図している。

【0030】

図4は、アドレス期間に必要とされる電源回路の構成がリンギングチョークコンバータ(以降「RCC」という。)構成である場合における、スイッチ304の電圧、電流およびトランス305の2次巻線電流の波形について、従来技術による場合と本発明による場

合とを対比して示した図である。一般に R C C 方式はトランス 3 0 5 に蓄えるエネルギーを利用するため、負荷が重い場合はスイッチ 3 0 4 のオン期間が長くなり、負荷が軽い場合はスイッチ 3 0 4 のオン期間が短くなる。オフ期間も同様に变化する。したがって、アドレス期間には駆動回路 2 経由にて P D P 電極に電力を供給するためスイッチ 3 0 4 の電流パルス幅は広くなる。電源回路が常時動作する場合、リセット期間およびサステイン期間には P D P の電極に電力供給する必要がないため、スイッチ 3 0 4 の電流パルス幅は狭くなる。しかし P D P 1 には電力を供給していないにもかかわらず、トランス 3 0 5 の 1 次巻線、2 次巻線、スイッチ 3 0 4、整流平滑回路 3 0 6 には、電流ピーク値は低下するものの周波数の高い電流が流れ続ける。そのためトランス 3 0 5 の 1 次巻線、2 次巻線、スイッチ 3 0 4、整流平滑回路 3 0 6 にはこの電流による導通損失、トランス 3 0 5 のコア損失、スイッチ 3 0 4 のスイッチング損失およびドライブ回路 3 0 3 の動作損失が発生する。

【 0 0 3 1 】

図 2、図 3 (a)、(b)、図 4 においては、アドレス期間に必要な 1 つの電源回路 3 x についての説明を行ったが、上記技術思想は、他の期間に対しても適用でき、また、電源回路数に関係なく実施可能である。

【 0 0 3 2 】

以上説明したように、実施の形態 1 の P D P 表示装置は特許文献 1 にて開示されている P D P に印加される高圧高周波発振回路の発振周波数を可変することなく、電力制御回路が各電極に供給される各々の波形に必要な電源回路群をその期間動作停止させることで電源回路内にて消費される電力を削減することができる。

【 0 0 3 3 】

したがって、P D P の表示輝度の低下を伴うことなく、P D P 表示装置内の消費電力を低減し、温度上昇の低下による信頼性に優れた P D P 表示装置を構成することができる。

【 0 0 3 4 】

(実施の形態 2)

図 5 から図 7 を参照し、本発明の P D P 表示装置の第 2 の実施形態を説明する。本実施の形態の P D P 表示装置は、実施の形態 1 の場合とは、電源回路において動作を停止させる要素が異なる。以下では、その差異についてのみ説明する。

【 0 0 3 5 】

図 5 に、本発明の実施の形態 2 における P D P 表示装置の電源回路と電力制御回路の構成を示す。

【 0 0 3 6 】

実施の形態 1 では、不要期間制御回路停止回路 4 0 1 が制御回路 3 0 2 の出力パルス (S) を停止させていた。これに対して本実施形態では、図 5 に示すように電力制御回路 4 は不要期間ドライブ停止回路 4 0 2 を含み、これによりドライブ回路 3 0 3 の出力 (S 1) を停止させる。

【 0 0 3 7 】

図 6 (a) は、アドレス期間に必要とされる電源回路に対する不要期間ドライブ停止回路 4 0 2 とドライブ回路 3 0 3 についての具体的な構成を示した図である。図 6 (a) に示すように、電力制御回路 4 は制御回路 3 0 2 の出力信号とアドレス期間用信号とを入力とする A N D ゲート 4 0 2 a を含む。A N D ゲート 4 0 2 a により、アドレス期間のみ、制御回路 3 0 2 の出力信号がドライブ回路 3 0 3 のトランジスタ 3 0 3 a およびトランジスタ 3 0 3 b のベースに出力される。制御回路 3 0 2 の出力信号が「ハイ」のときトランジスタ 3 0 3 a がオンし、D C 電源 3 0 3 c 電位を抵抗 3 0 3 d 経由にて出力する。その出力信号が「ロー」のときトランジスタ 3 0 3 b がオンし、ドライブ回路 3 0 3 の出力は 0 V となる。

【 0 0 3 8 】

図 6 (b) にこの動作時の波形を示す。なお、図 6 (a) は不要期間ドライブ停止回路

4 0 2 とドライブ回路 3 0 3 の一例であり、種々の回路構成で実現でき、図 6 (a) の構成に限定されない。

【 0 0 3 9 】

実施の形態 1 においては、制御回路 3 0 2 内の比較器 3 0 2 d の入力信号を操作するため、期間信号に対して時間遅れを生じているが、本実施の形態においては、制御回路 3 0 2 は動作状態にあり、また入力パルスを T T L 信号処理するため、時間遅れの発生はなく高速応答が可能である。このように本実施形態では、制御回路 3 0 2 の動作は停止させずに、主電流部（ドライブ回路 3 0 3 、スイッチ 3 0 4 ）のみを停止させるため、必要期間のみ動作させることができ動作停止期間を不要期間全体に拡大できる。したがって図 7 に示すようにトランス 3 0 5 の 1 次巻線、2 次巻線、スイッチ 3 0 4 、整流平滑回路 3 0 6 にはアドレス期間のみ電流が流れ、リセット期間、サステイン期間には電流は流れない。

【 0 0 4 0 】

したがってこの動作停止期間、トランス 3 0 5 の 1 次巻線、2 次巻線、スイッチ 3 0 4 、整流平滑回路 3 0 6 による導通損失、トランス 3 0 5 のコア損失、スイッチ 3 0 4 のスイッチング損失およびドライブ回路 3 0 3 の動作損失が削減される。

（変形例）

図 5 ～図 7 を用いて説明した本実施形態の P D P 表示装置の別の構成例を、図 8 及び図 9 を用いて説明する。

【 0 0 4 1 】

図 8 は電源回路構成を電流共振回路構成としたときの電源回路と電力制御回路の構成を示すブロック図である。図 9 は、サステイン期間に必要とされる電源回路の構成がハーフブリッジ電流共振回路構成である場合における、トランス 3 0 5 の 1 次巻線、2 次巻線電流波形について、従来技術による場合と本発明による場合とを比較して示した図である。

【 0 0 4 2 】

P D P 1 に電力を供給する電源回路のうち、最も高電力を供給する必要があるのはサステイン期間に P D P 1 を維持放電させるための電源回路である。この電源回路の構成として、高電力用回路で高効率である共振回路方式や回生方式が用いられることが多い。図 8 に示す電源回路 3 x はハーフブリッジ電流共振回路構成となっている。最大出力電力はトランス 3 0 5 の 1 次巻線インダクタンスおよびこの励磁電流により決定される。スイッチ 3 0 4 b のオンによりトランス 3 0 5 の 1 次巻線が励磁され、スイッチ 3 0 4 a のオンによりトランス 3 0 5 の 1 次巻線は逆励磁される。負荷時は、トランス 3 0 5 の漏れインダクタンスとコンデンサ 3 0 7 との共振電流が、トランス 3 0 5 の 2 次巻線経由でダイオード 3 0 6 a およびダイオード 3 0 6 b を流れ、コンデンサ 3 0 6 c を充電し負荷に供給される。スイッチ 3 0 4 a 、スイッチ 3 0 4 b は零電圧スイッチングを行い、ダイオード 3 0 6 a およびダイオード 3 0 6 b は零電流オン・オフを行うため高効率となる。

【 0 0 4 3 】

しかし図 9 に示すように電源回路が常時動作する場合、負荷がないときにも励磁電流がスイッチ 3 0 4 a 、スイッチ 3 0 4 b 、コンデンサ 3 0 7 、トランス 3 0 5 の 1 次巻線を流れ続ける。そのためスイッチ 3 0 4 a 、スイッチ 3 0 4 b 、コンデンサ 3 0 7 、トランス 3 0 5 の 1 次巻線にはこの電流による導通損失、トランス 3 0 5 のコア損失およびドライブ回路 3 0 3 の動作損失が発生する。しかも励磁電流は最大出力電力において設定されるため大きく、また高電力のためトランス 3 0 5 のコアサイズも大きくなる。したがって無負荷時における導通損失、コア損失も大きなものとなる。

【 0 0 4 4 】

本実施形態の場合、不要期間ドライブ停止回路 4 0 2 によりドライブ回路 3 0 3 の出力パルスを高速にて動作、停止できるため、リセット期間およびアドレス期間全体を停止期間にすることができる。またサステイン期間が 1 サブフィールド中に占める割合は 1 ～ 7 0 % 前後で変化し、1 フィールドでは平均 2 0 ～ 5 0 % 前後となる。したがって全体の 5 0 ～ 8 0 % を動作停止期間とすることができるので、電源回路が常時動作する場合に発生するスイッチ 3 0 4 a 、スイッチ 3 0 4 b 、コンデンサ 3 0 7 、トランス 3 0 5 の 1 次巻

線による導通損失、トランス 305 のコア損失およびドライブ回路 303 の動作損失が削減される。

【0045】

以上のように、本実施形態の PDP 表示装置においても、実施の形態 1 と同様に、特許文献 1 にて開示されている PDP に印加される高圧高周波発振回路の発振周波数を可変することなく、電力制御回路が各電極に供給される各々の波形に必要な電源回路をその期間動作停止させることで電源回路内にて消費される電力を削減することができる。

【0046】

したがって、PDP の表示輝度の低下を伴うことなく、PDP 表示装置内の消費電力を低減し、温度上昇の低下による信頼性に優れた PDP 表示装置を構成することができる。

【0047】

（実施の形態 3）

図 10 ～図 13 を参照して、本発明の PDP 表示装置の第 3 の実施形態について説明する。

【0048】

本実施形態では、PDP 1 の発光状態、すなわち PDP 1 の駆動時に必要となる電力量に応じて電源回路の出力を調整している。なお、本実施形態では、サステイン期間中における動作について説明する。

【0049】

図 10 は実施の形態 3 における PDP 表示装置の構成を示すブロック図である。PDP 表示装置は、PDP 1 と、PDP 1 の電極にスキャンドライバ 5a およびアドレスドライバ 5b 経由にて各期間に対応した駆動波形を生成させ印加する駆動回路 2 と、駆動回路 2 経由にて PDP 1 に電力を供給する複数の電源回路を含む電源回路群 3 と、電源回路群 3 を動作、停止させることにより PDP 1 への供給電力を制御する電力制御回路 4 と、スキャンドライバ 5a と、アドレスドライバ 5b と、画像情報を処理し、駆動回路 2 並びにスキャンドライバ 5a 及びアドレスドライバ 5b に信号を送出する画像処理回路 6 とで構成される。

【0050】

画像処理回路 6 は走査処理を行うスキャンコントローラや画像処理を行うピクチャクオリティプロセッサを含む画像処理部 6a と、画像信号を一旦蓄積するフレームメモリ 6b と、各サブフィールドのアドレス操作に対応してアドレスドライバ 5b と、スキャンドライバ 5a にドライブ信号を送出する I/O バッファ 6c とで構成されている。

【0051】

フレームメモリ 6b に蓄積された画像情報より各サブフィールドのアドレス操作に対応してアドレスドライバ 5b およびスキャンドライバ 5a のドライブ信号が I/O バッファ 6c により生成される。このドライブ信号を受け、スキャンドライバ 5a およびアドレスドライバ 5b は駆動回路 2 により生成される図 19 に示されるような駆動波形を PDP 1 の各電極に印加する。駆動波形のアドレス期間にパルスが印加されるアドレス電極が点灯するように選択されたアドレス電極となる。したがって、I/O バッファ 6c からアドレスドライバ 5b に送出されるドライブ信号のアドレス期間には、点灯するように選択されたアドレス電極の数のパルスが含まれている。

【0052】

本実施形態では、アドレスドライバ 5b のドライブ信号に基づき、サステイン期間に必要な電源回路の出力を停止させるようにする。

【0053】

図 11 は電源回路と電力制御回路の具体的な構成を示した図である。電力制御回路 4 は電力制御用ドライブ停止回路 403 を含む。電力制御用ドライブ停止回路 403 は、サステイン期間に PDP 1 を維持放電させるために必要な電源回路 3x のドライブ回路 303 の出力を停止させる。

【0054】

図12(a)は、電力制御用ドライブ停止回路403とドライブ回路303の具体的な構成を示した図である。電力制御用ドライブ停止回路403において、 $n-V$ 変換回路403aは、アドレスドライバ5bのドライブ信号が入力されると、図12(b)に示される特性にしたがい、アドレス期間のデータパルス数に応じた出力電圧を発生する。期間保持回路403bは、アドレス期間用信号の立下りから次の立下りまでの1周期つまり1サブフィールドの間、その出力電圧を保持する。この保持された出力電圧と三角波発生回路403c出力とが比較器403dにて比較され、パルスが出力される。この出力パルスと制御回路302出力信号とがANDゲート403eに入力され、比較器403dの出力パルスがオンのときだけ、制御回路302の出力信号がドライブ回路303に出力される。

【0055】

ドライブ回路303は、入力したパルスと同一パルスを出力する。比較器403dの出力パルスがオフのときドライブ回路303は停止し、電源回路3のトランス305の1次巻線、2次巻線、スイッチ304及び整流平滑回路306に、電流が流れなくなる。

【0056】

図13に上記の場合の動作波形を示す。発光させるセルがないとき、すなわち、アドレスドライバ5bのドライブ信号に含まれるパルスがないとき、図12(b)に示される特性において、最低出力電圧Cが出力される。このため比較器403dの出力パルスのオン期間が短くなり、ドライブ回路303の動作期間は短くなり、その動作停止期間は長くなる。したがって電源回路3の整流平滑回路306内のコンデンサ(図示せず)を充電するための電力は低下する。しかし、負荷となるPDP1は発光させないことから、PDP1への電力供給による整流平滑回路306内のコンデンサからの放出電力も低下するため、電源回路3の出力電圧の低下はない。

【0057】

一方、発光させるセルが多いとき、すなわち、アドレスドライバ5bのドライブ信号に含まれるパルス数が多いとき(パルス数がBのとき)、図12(b)に示される特性において電圧Eが出力されるため、比較器403dの出力パルスのオン期間が長くなり、ドライブ回路303の動作期間が長くなり、動作停止期間は短くなる。このとき負荷となるPDP1は発光セルが多いためPDP1への電力供給による整流平滑回路306内のコンデンサからの放出電力は増加するが、電源回路3の整流平滑回路306内のコンデンサを充電する電力も増加するため電源回路3の出力電圧の低下はない。また、発光させるセルが少なく、すなわち、アドレスドライバ5bのドライブ信号に含まれるパルス数が少ないとき(パルス数がAのとき)も、図12(b)に示される特性において電圧Dが出力され、前記と同様の動作により動作停止期間が変化し、電源回路3からの供給電力が変化する。

【0058】

なお、電源回路3xそのものは実施の形態1にて説明したように制御回路302により整流平滑回路306の出力電圧を一定に制御されている。

【0059】

このようにアドレス期間のデータパルス数、すなわちPDP1の発光状態に応じて電源回路3からのPDP1への供給電力が制御できるため、1サブフィールド毎に必要とされる電力のみを供給できる。すなわち、必要供給電力が少ないときは電源回路3の動作停止期間を長くできるため、トランス305の1次巻線、2次巻線、スイッチ304、整流平滑回路306による導通損失、トランス305のコア損失、スイッチ304のスイッチング損失およびドライブ回路303の動作損失を大幅に削減できる。

【0060】

なお、PDP1のサイズが大きい場合、維持放電させるための電源回路の電力も大きくなり電源回路のトランス305も大きくなる。このとき電力制御回路4による電源回路群3の動作、停止の繰り返しによりトランス305の振動音が聞こえることがあるが、電源回路群3の動作、停止の繰り返し周波数を可聴周波数以上に設定することで対応可能である。

（変形例 1）

ここで、本実施形態の PDP 表示装置の別の構成例を、図 14（a）、（b）および図 15 を用いて説明する。以下に説明する例では、電力制御用ドライブ停止回路 403 は、電源回路 3x の動作／停止を、データパルス駆動用電源回路 3 の出力電流に基づいて制御している。

【0061】

前述の例では図 10 に示したようにアドレスドライバ 5b へのドライブ信号により電力制御回路 4 が電源回路群 3 の動作／停止を制御していたのに対して、この別の例では、データパルス駆動用電源回路 3 の出力電流値に基づいて電源回路群 3 の動作／停止を制御する。前述の例にて説明したように画像情報に基づいて I/O バッファ 6c よりアドレスドライバ 5b へのドライブ信号が送出される。アドレスドライバ 5b は、データパルス駆動用電源回路 3 から駆動回路 2 経由で供給された電力を、ドライブ信号により選択されたアドレス電極に供給する。したがって、選択されたアドレス電極分だけの電力がデータパルス駆動用電源回路 3 より供給されることになる。このように、データパルス駆動用電源回路 3 の出力電流値に基づいて、PDP 1 を維持放電させるための電源回路 3 のドライブ回路 303 の出力を停止させるようにすることで、必要最小限の供給電力にすることができる。

【0062】

図 14（a）は、別の例における電力制御用ドライブ停止回路とドライブ回路の具体的構成を示した図である。

【0063】

出力電流－V 変換回路 403f は、データパルス駆動用電源回路 3 の出力電流値を入力する。出力電流－V 変換回路 403f は、図 14（b）に示すように、データパルス駆動用電源回路 3 の出力電流値に応じた電圧を出力する。出力電流－V 変換回路 403f の出力と、三角波発生回路 403c の出力とが比較器 403d にて比較され、パルスが出力される。この出力パルスと制御回路 302 出力信号とが AND ゲート 403e に入力され、比較器 403d の出力パルスがオンのときだけ制御回路 302 出力信号はドライブ回路 303 に出力される。ドライブ回路 303 は入力されたパルスと同一パルスを出力する。

【0064】

比較器 403d の出力パルスがオフのとき、ドライブ回路 303 の動作が停止し、電源回路 3 のトランス 305 の 1 次巻線、2 次巻線、スイッチ 304、整流平滑回路 306 には電流は流れなくなる。図 15 はこのときの動作波形である。データパルス駆動用電源回路 3 の出力電流値の増減により出力電流－V 変換回路 403f 出力電位は D、E、F、G と変化し、ドライブ回路 303 の動作停止期間を変化させる。

【0065】

なお、データパルス駆動用の電源回路の出力電流は、抵抗や電流センサなどによって検出できる。したがって前述の例と同様に PDP 1 の発光状態に応じて電源回路 3 からの PDP 1 への供給電力が制御できるため、必要とされる電力のみを供給できる。そのため必要供給電力が少ないときは電源回路 3 の動作停止期間を長くできるため、トランス 305 の 1 次、2 次巻線、スイッチ 304、整流平滑回路 306 による導通損失、トランス 305 のコア損失、スイッチ 304 のスイッチング損失およびドライブ回路 303 の動作損失も多く削減できる。

（変形例 2）

本実施形態の PDP 表示装置の更なる別の例を、図 16 および図 17（a）、（b）を用いて説明する。

【0066】

この更なる別の例は、電力制御用ドライブ停止回路 403 は、電源回路 3x の動作／停止を、フレームメモリ 6b に蓄積された表示前画像情報に基づいて制御する。

【0067】

図16は更なる別の例のPDP表示装置のブロック図である。PDP表示装置は図10に示す構成に加えて点灯率算出回路7を備えている。点灯率算出回路7は、フレームメモリ6bに蓄積された表示前の画像情報から、表示前画像に対するPDP1の点灯率を算出する。電力制御回路4は点灯率算出回路7により算出された点灯率に基づき、電源回路群3の動作、停止を制御する。このように、表示前の画像でのPDP1の点灯率に基づいてPDP1を維持放電させるための電源回路3のドライブ回路303の出力を停止させるように構成することで、必要最小限の供給電力にすることができる。

【0068】

図17(a)は電力制御用ドライブ停止回路403とドライブ回路303についての具体的な構成を示した図である。図17(b)は、図17(a)における点灯率-V変換回路403gの点灯率と出力電圧の関係を表す図である。

【0069】

図17(a)において、点灯率-V変換回路403gは、点灯率算出回路7から点灯率を示す出力信号を入力し、図17(b)に示すように点灯率に応じた電圧を出力する。点灯率-V変換回路403gの出力電圧と、三角波発生回路403cの出力とは、比較器403dにて比較され、パルスが出力される。この出力パルスと、制御回路302の出力信号とがANDゲート403eに入力され、比較器403dの出力パルスがオンの間だけ制御回路302の出力信号がドライブ回路303に出力される。ドライブ回路303は入力されたパルスと同一パルスを出力する。

【0070】

比較器403dの出力パルスがオフのとき、ドライブ回路303が停止し、電源回路3のトランス305の1次巻線、2次巻線、スイッチ304及び整流平滑回路306に電流が流れなくなる。

【0071】

以上のように、点灯率の増減により点灯率-V変換回路403gの出力電圧は変化し、ドライブ回路303の動作停止期間を変化させる。したがって、前述の実施形態と同様にPDP1の発光状態に応じて電源回路3からのPDP1への供給電力が制御できるため、必要とされる電力のみを供給できる。そのため必要供給電力が少ないときは電源回路3の動作停止期間を長くできるため、トランス305の1次巻線、2次巻線、スイッチ304及び整流平滑回路306による導通損失、トランス305のコア損失、スイッチ304のスイッチング損失およびドライブ回路303の動作損失も多く削減できる。なお、点灯率-V変換回路403gの出力電圧は、PDP1の表示期間に同期するように、遅延して出力される。

【0072】

以上説明したように、本実施の形態のPDP表示装置においても、実施の形態1と同様に、特許文献1にて開示されているPDPに印加される高圧高周波発振回路の発振周波数を可変することなく、電力制御回路がPDPの発光状態に応じて電源回路群を動作停止させることで電源回路内にて消費される電力を削減することができる。

【0073】

したがって、PDPの表示輝度の低下を伴うことなく、PDP表示装置内の消費電力を低減し、温度上昇の低下による信頼性に優れたPDP表示装置を構成することができる。

【産業上の利用可能性】

【0074】

本発明にかかるPDP表示装置は、PDP表示装置内の消費電力を低減し、温度上昇の低い高信頼性の特徴を有し、PDP表示装置として有用である。

【図面の簡単な説明】

【0075】

【図1】 本発明の実施の形態1のPDP表示装置のブロック図である。

【図2】 電源回路群中の1つの電源回路と電力制御回路の詳細な構成を示したブロッ

ク図である。

【図 3】（a）アドレス期間に必要とされる電源回路における不要期間制御回路停止回路と制御回路についての具体的な回路例を示した図である。（b）（a）に示す構成におけるリセット期間用信号、アドレス期間用信号、ORゲート出力、トランジスタのエミッタ電圧、制御回路の出力信号波形を示した図である。

【図 4】従来技術及び本発明のそれぞれの動作による、アドレス期間に必要とされる電源回路の構成がリングチョークコンバータ（RCC）構成である場合の、スイッチの電圧、電流およびトランスの2次巻線電流の波形を示した図である。

【図 5】本発明の実施の形態2におけるPDP表示装置の電源回路と電力制御回路の具体的な構成を示す図である。

【図 6】（a）アドレス期間に必要とされる電源回路に対する不要期間ドライブ停止回路とドライブ回路についての具体的な構成例を示した図である。（b）（a）におけるアドレス期間用信号、制御回路出力信号、ANDゲートの出力、ドライブ回路の出力信号波形を示した図である。

【図 7】従来技術及び本発明のそれぞれの動作による、アドレス期間に必要とされる電源回路の構成がRCC構成である場合の、スイッチの電圧、電流およびトランスの2次巻線電流の波形を示した図である。

【図 8】実施の形態2における別の例のPDP表示装置において、電源回路の構成を電流共振回路構成としたときの電源回路と電力制御回路の具体的な構成を示すブロック図である。

【図 9】従来技術及び本発明のそれぞれの動作による、サステイン期間に必要とされる電源回路の構成がハーフブリッジ電流共振回路構成である場合の、トランスの1次巻線、2次巻線電流の波形を示した図である。

【図 10】本発明の実施の形態3におけるPDP表示装置のブロック図である。

【図 11】電源回路と電力制御回路の詳細な構成を示したブロック図である。

【図 12】（a）電力制御用ドライブ停止回路とドライブ回路の具体的な回路例を示した図である。（b） $n-V$ 変換回路の入出力特性を示した図である。

【図 13】図 12（a）におけるアドレス期間用信号、アドレスドライバのドライブ信号、期間保持回路の出力信号、比較器の出力信号、制御回路の出力信号、電力制御の1周期分に対するANDゲートの出力信号およびドライブ回路の出力信号の波形を示した図である。

【図 14】（a）実施の形態3におけるPDP表示装置の別の例における電力制御用ドライブ停止回路とドライブ回路についての具体的な構成例を示した図である。（b）出力電流 $-V$ 変換回路の入出力特性を示した図である。

【図 15】図 14（a）における、データパルス駆動用電源回路の出力電流、出力電流 $-V$ 変換回路の出力信号、比較器の出力信号、制御回路の出力信号、電力制御の1周期分に対するANDゲートの出力信号およびドライブ回路の出力信号の波形を示した図である。

【図 16】実施の形態3におけるPDP表示装置の更なる別の例の構成を示した図である。

【図 17】（a）電力制御用ドライブ停止回路とドライブ回路についての具体的な構成例を示した図である。（b）（a）における点灯率 $-V$ 変換回路の入出力特性を示した図である。

【図 18】従来の面放電方式3電極AC型PDPのパネル電極配置と駆動回路の構成を示した図である。

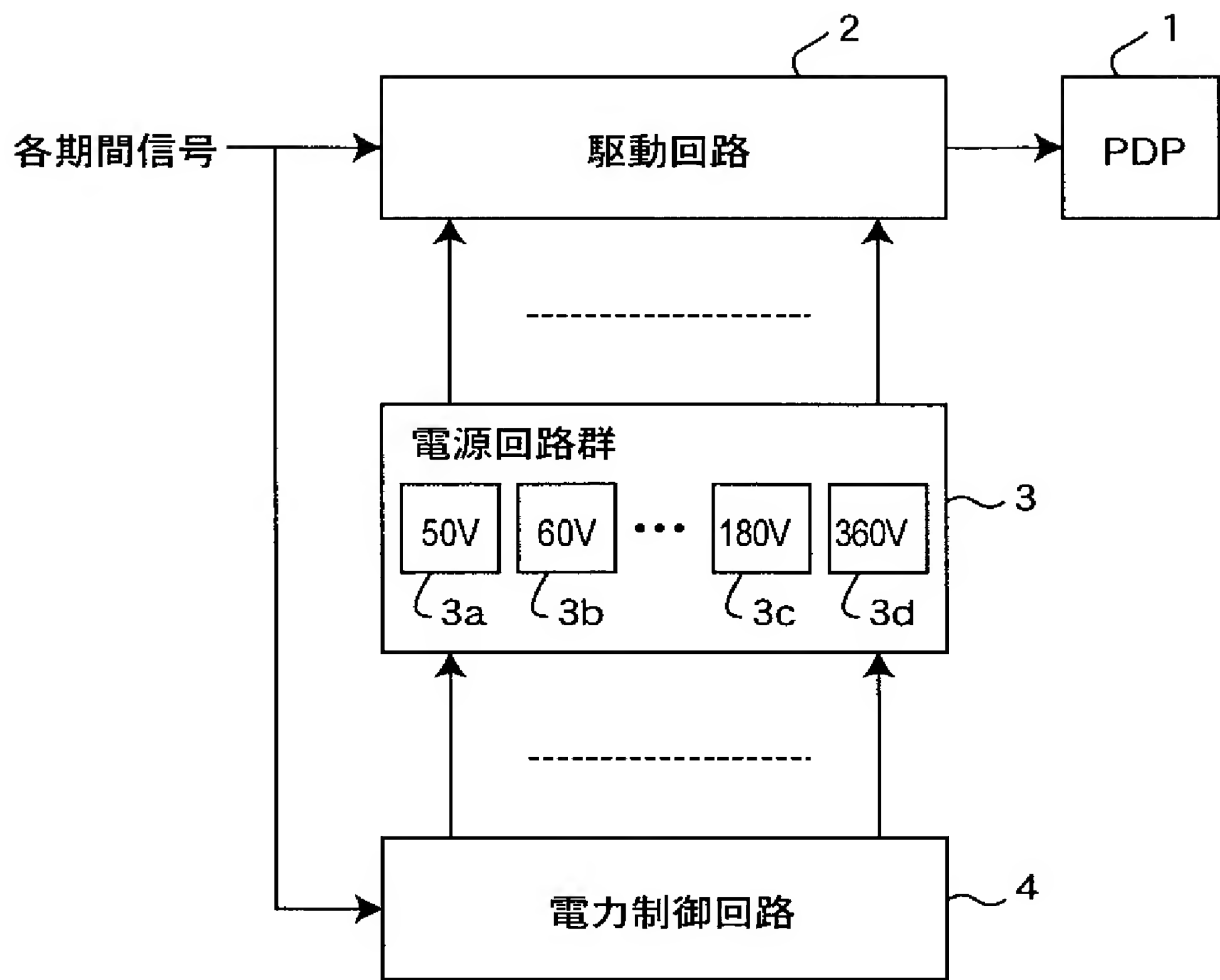
【図 19】従来のサブフィールド期間に各電極に印加される駆動波形例を示す図である。

【図 20】従来の面放電方式3電極AC型PDPの駆動回路のブロック図である。

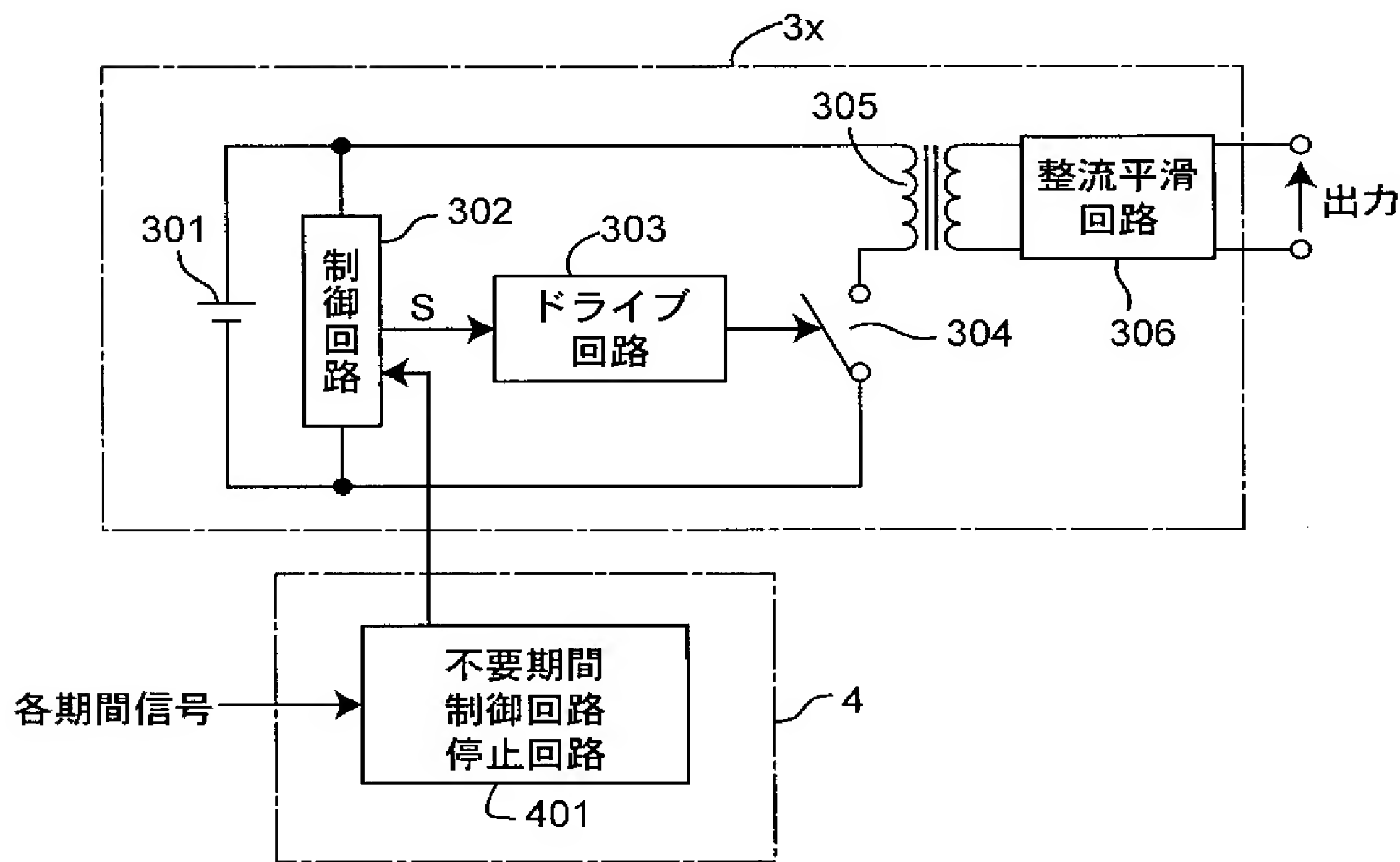
【符号の説明】

【0076】

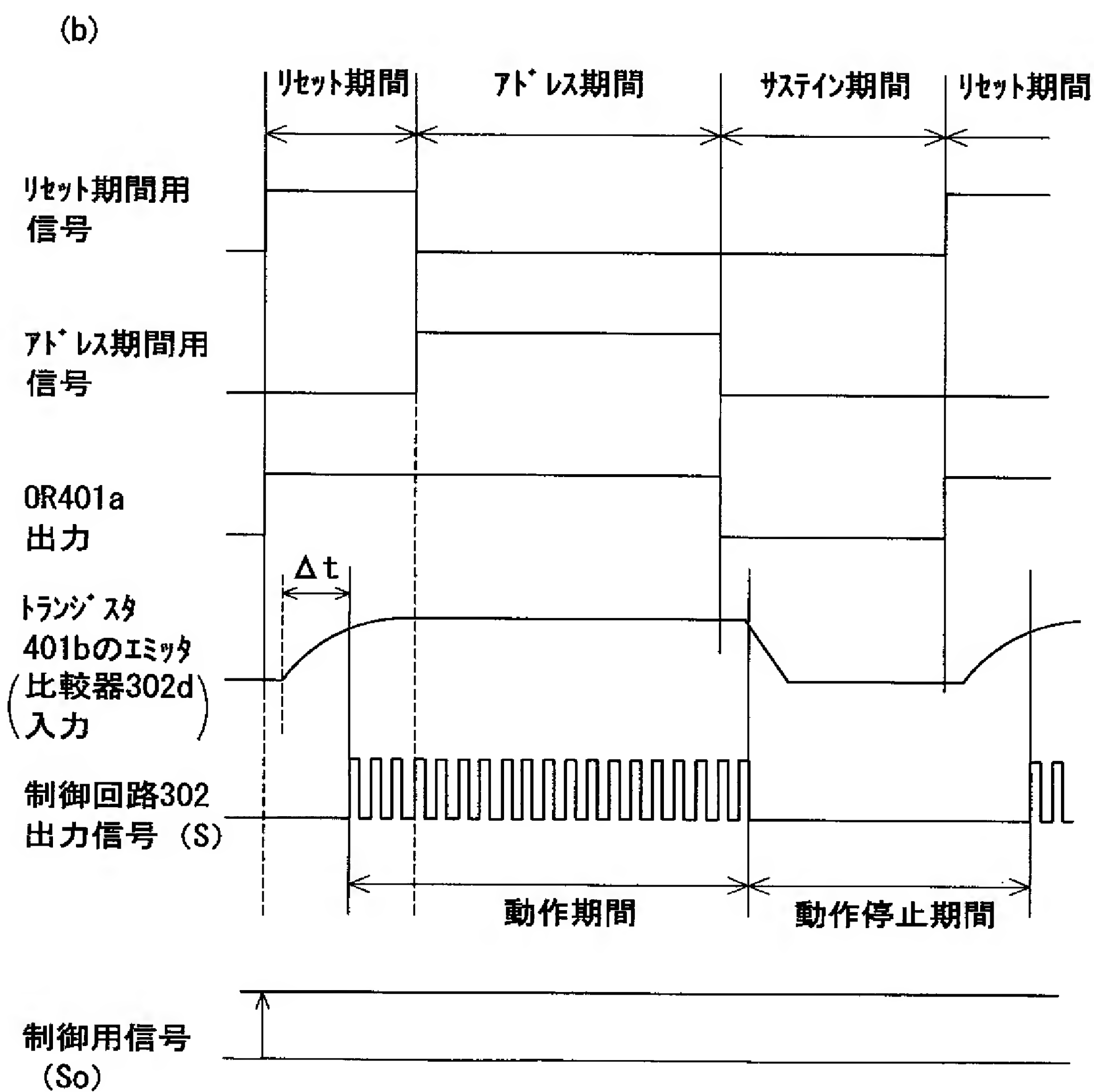
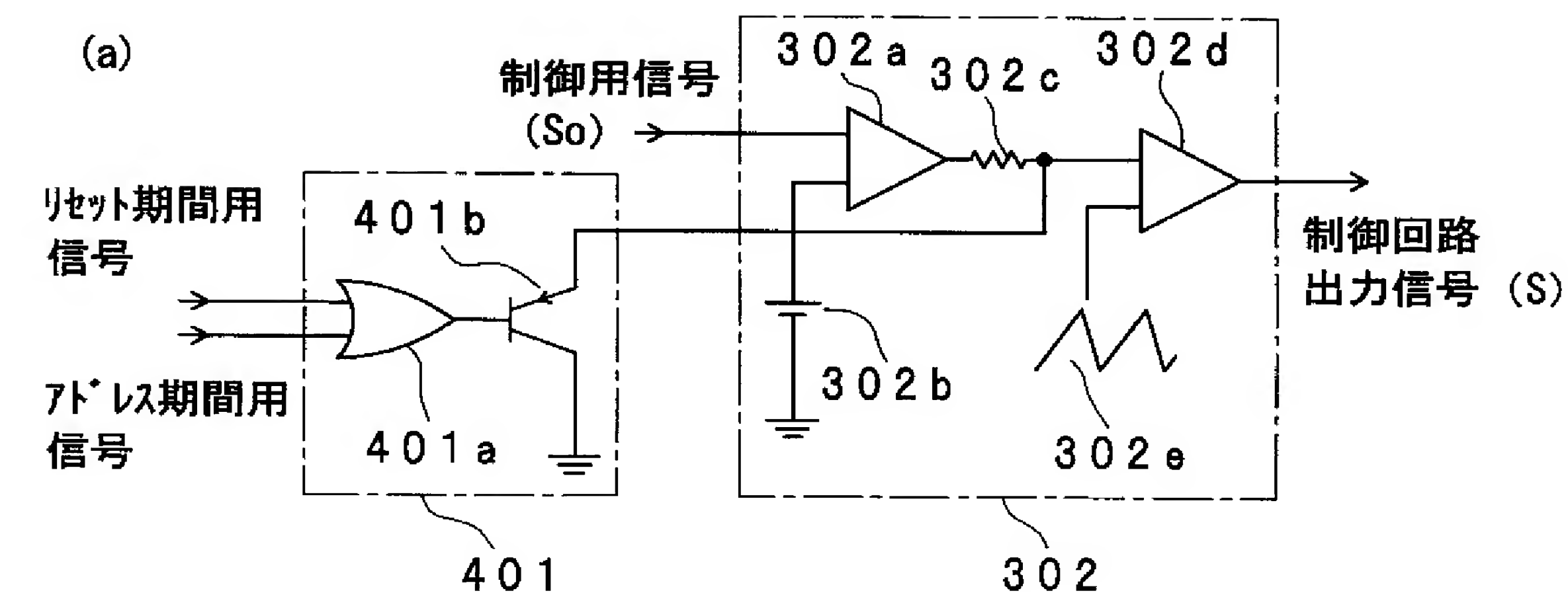
- 1 プラズマディスプレイパネル (P D P)
- 2 駆動回路
- 3 電源回路群
 - 3 a 、 3 b 、 3 c 、 3 x 電源回路
- 4 電力制御回路
 - 5 a スキャンドライバ
 - 5 b アドレスドライバ
- 6 画像処理回路
 - 6 a 画像処理部
 - 6 b フレームメモリ
 - 6 c I / O バッファ
- 7 点灯率算出回路
 - 3 0 1 直流電源
 - 3 0 2 制御回路
 - 3 0 2 a 演算増幅器
 - 3 0 2 b 基準電圧
 - 3 0 2 c 抵抗
 - 3 0 2 d 比較器
 - 3 0 2 e 三角波
 - 3 0 3 ドライブ回路
 - 3 0 3 a 、 3 0 3 b トランジスタ
 - 3 0 3 c D C 電源
 - 3 0 3 d 抵抗
 - 3 0 4 、 3 0 4 a 、 3 0 4 b スイッチ
 - 3 0 5 トランス
 - 3 0 6 整流平滑回路
 - 3 0 6 a 、 3 0 6 b ダイオード
 - 3 0 6 c コンデンサ
 - 3 0 7 コンデンサ
- 4 0 1 不要期間制御回路停止回路
 - 4 0 1 a O R 回路
 - 4 0 1 b トランジスタ
- 4 0 2 不要期間ドライブ停止回路
 - 4 0 2 a A N D 回路
- 4 0 3 電力制御用ドライブ停止回路
 - 4 0 3 a n - V 変換回路
 - 4 0 3 b 期間保持回路
 - 4 0 3 c 三角波発生回路
 - 4 0 3 d 比較器
 - 4 0 3 e A N D 回路
 - 4 0 3 f 出力電流 - V 変換回路
 - 4 0 3 g 点灯率 - V 変換回路



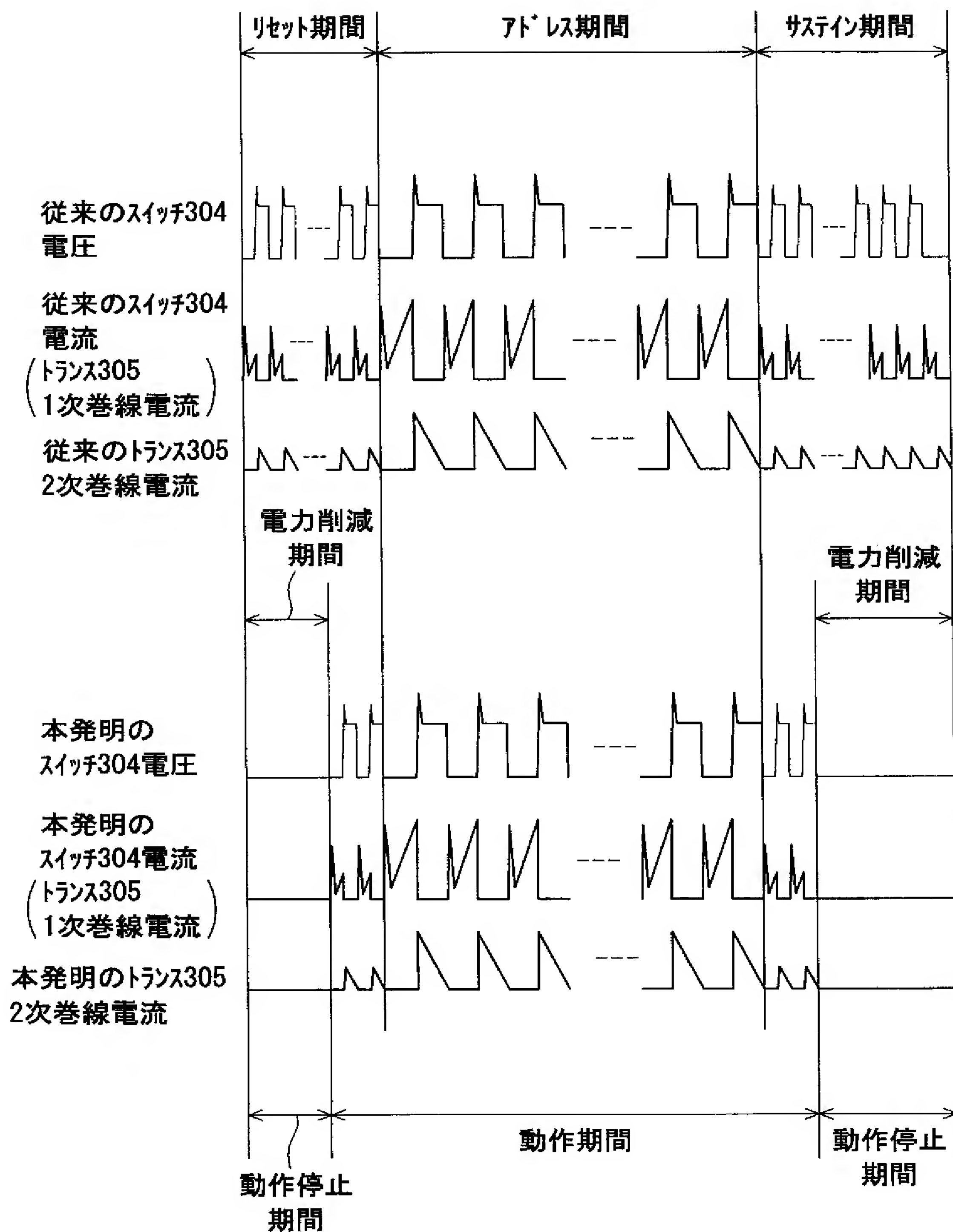
【図 2】



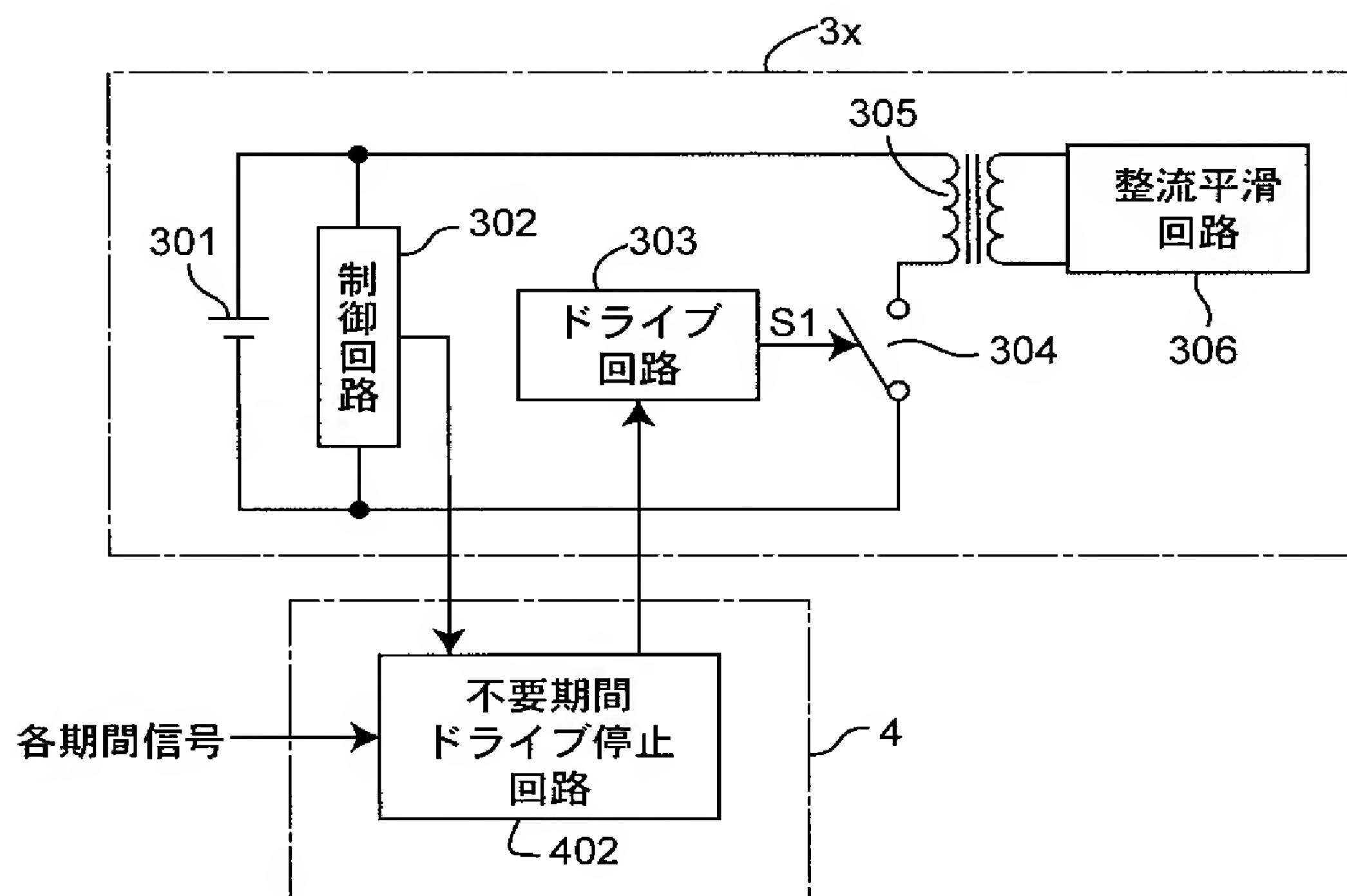
【図 3】



【図 4】

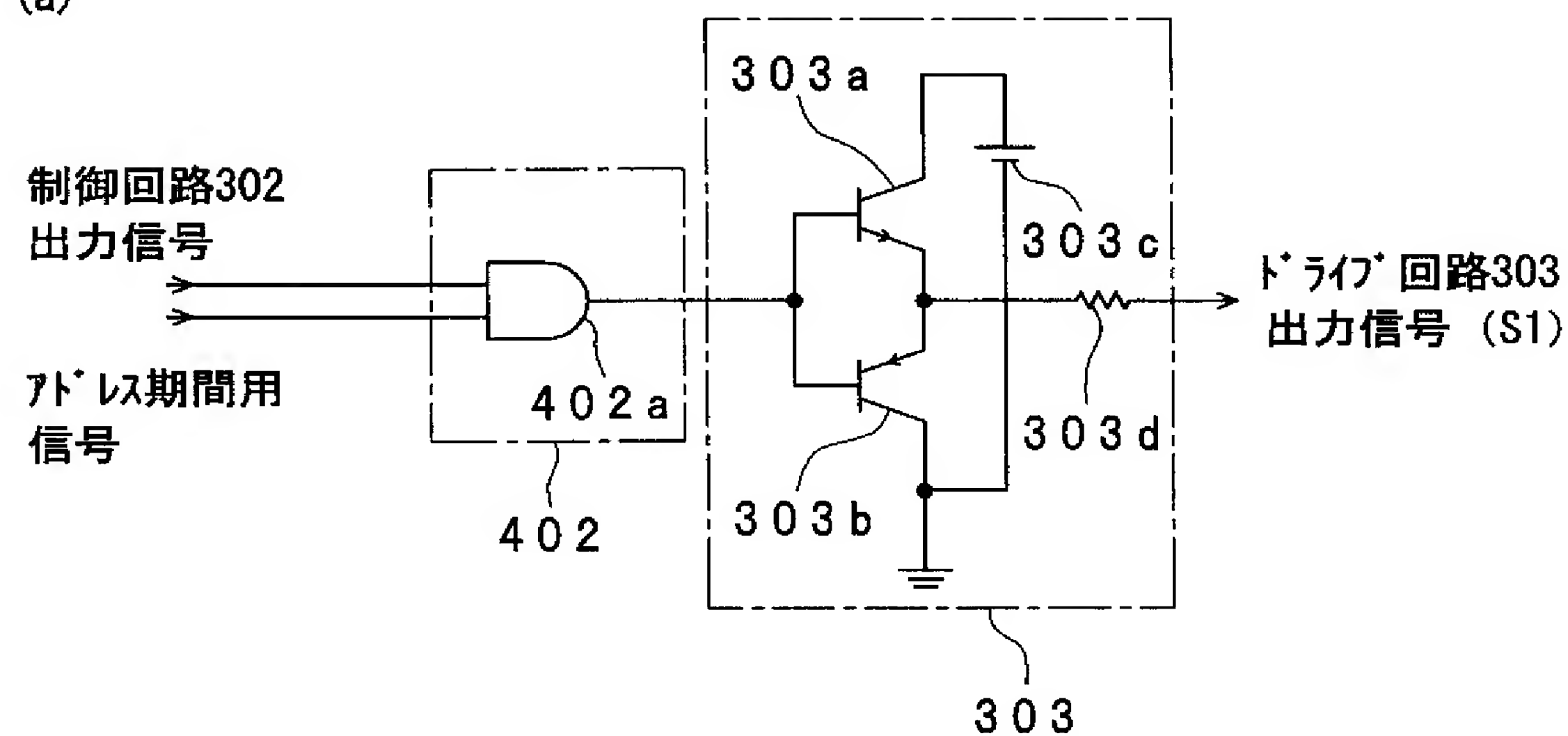


【図 5】

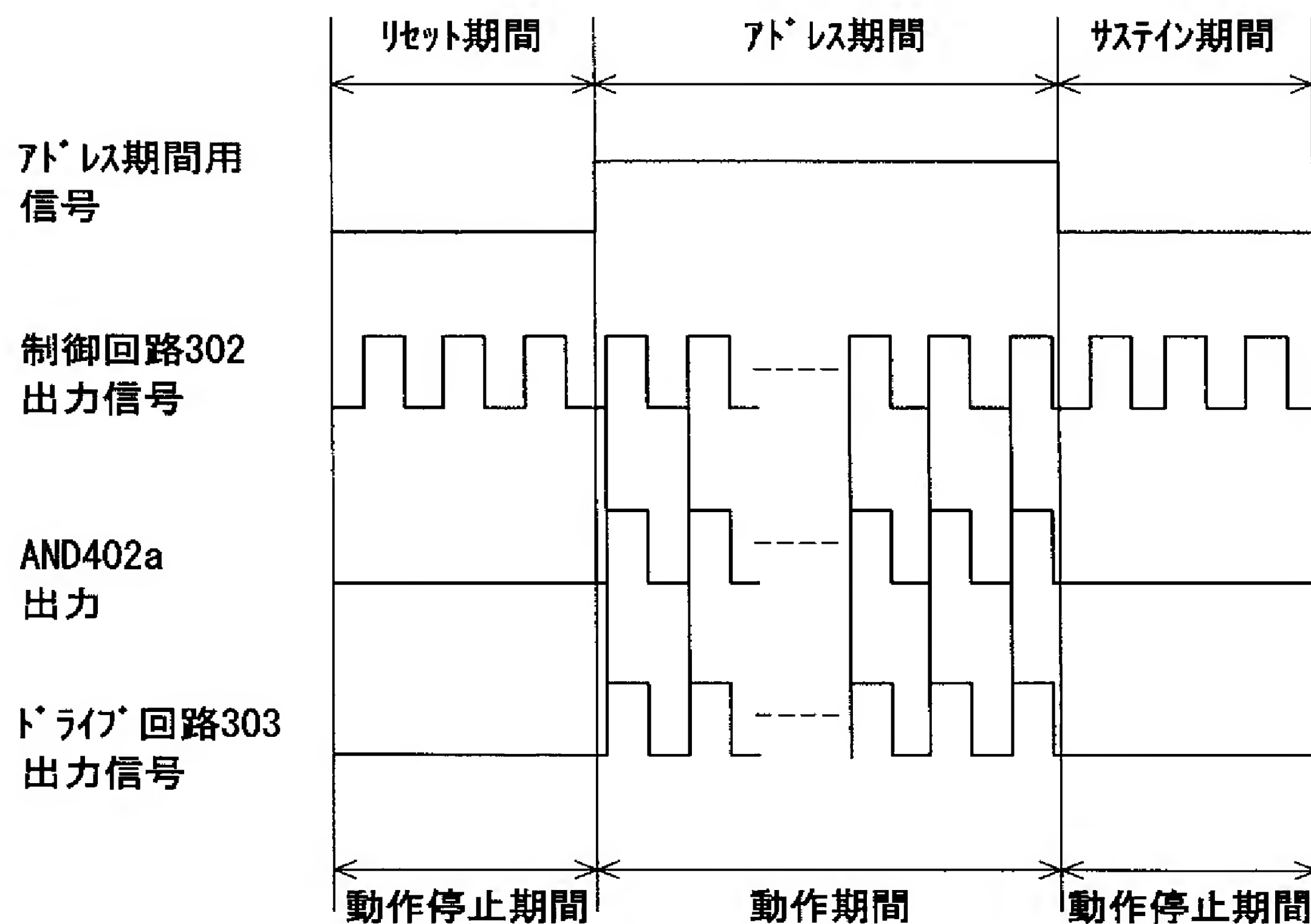


【図 6】

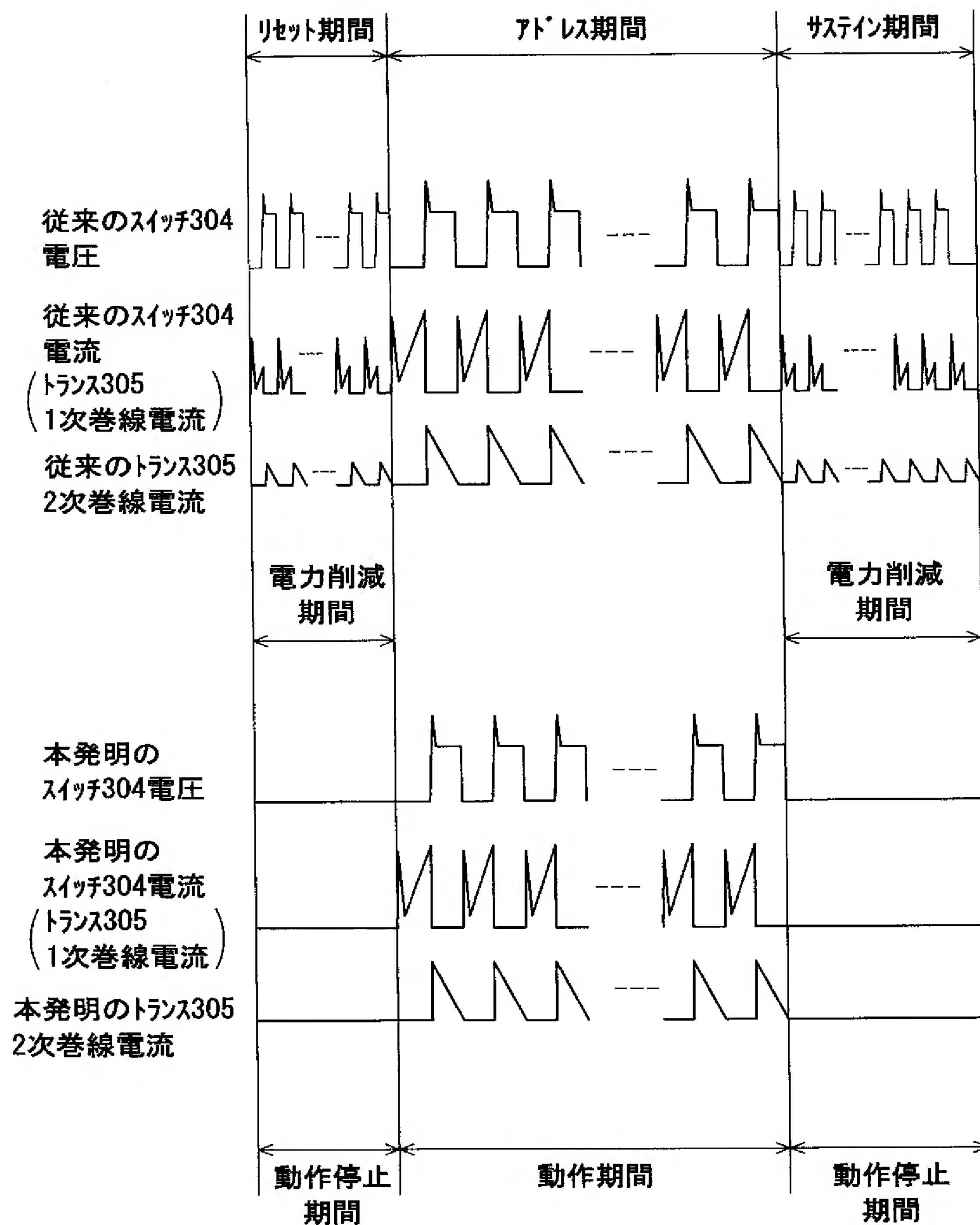
(a)



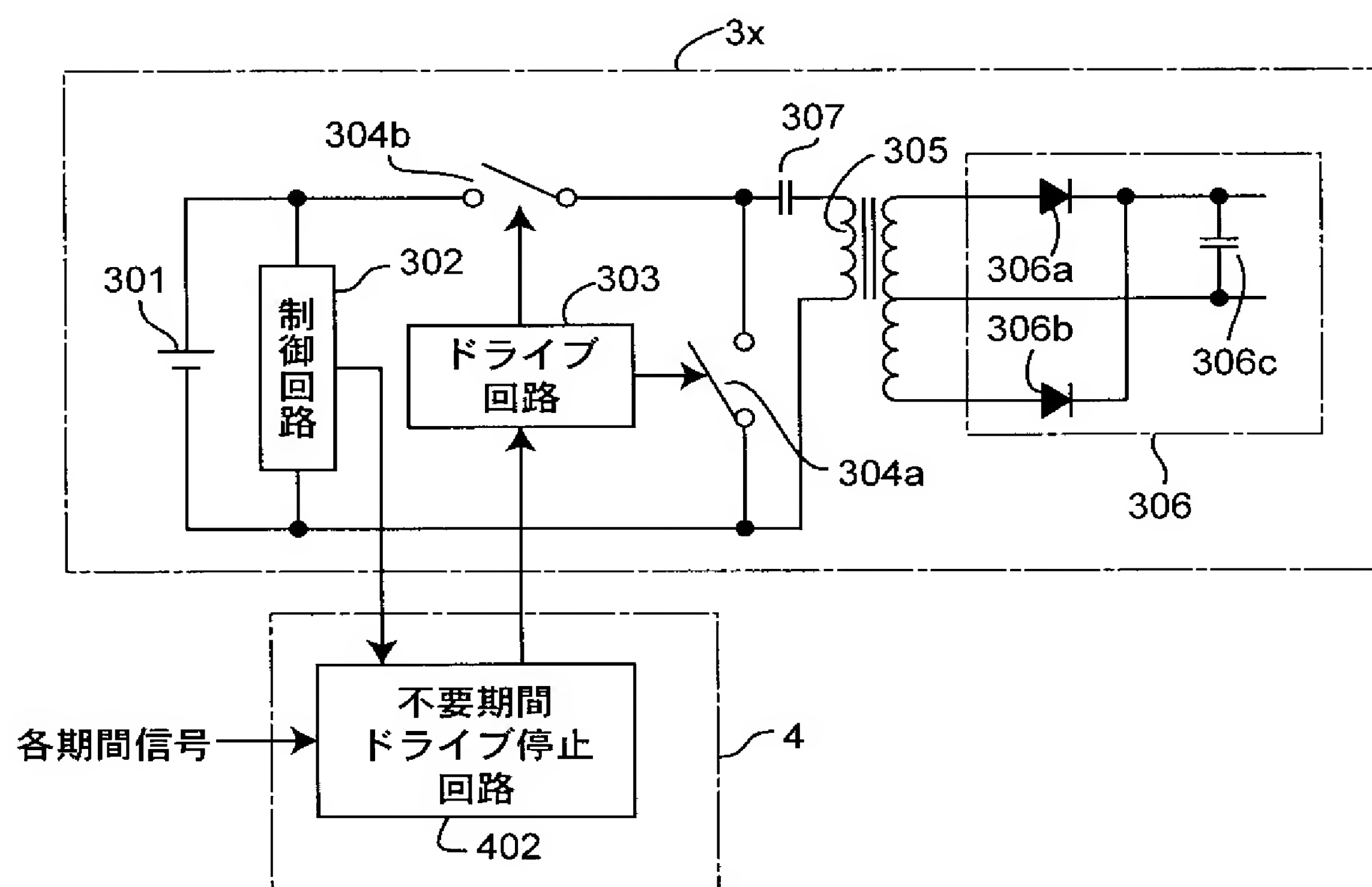
(b)

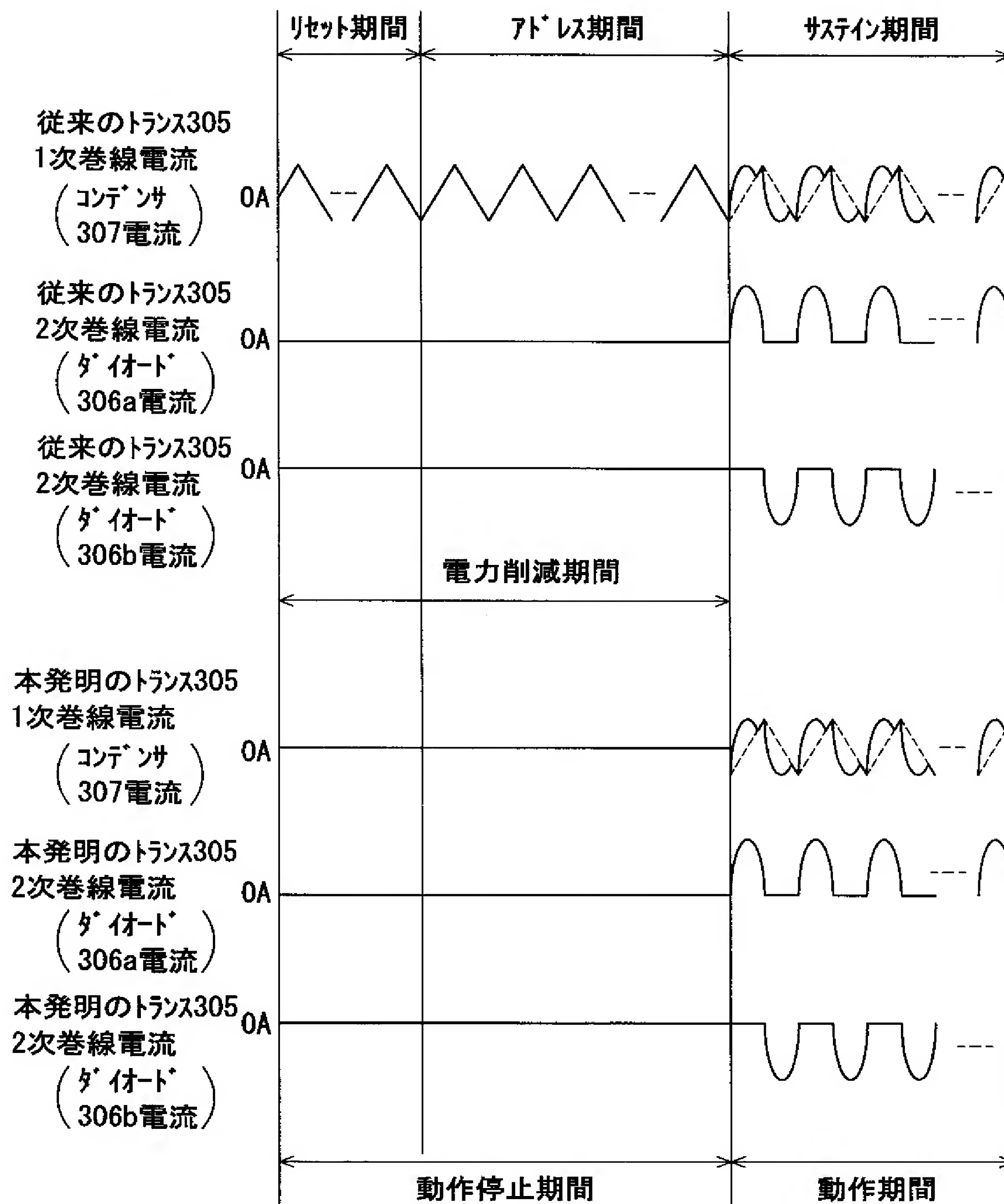


【図 7】

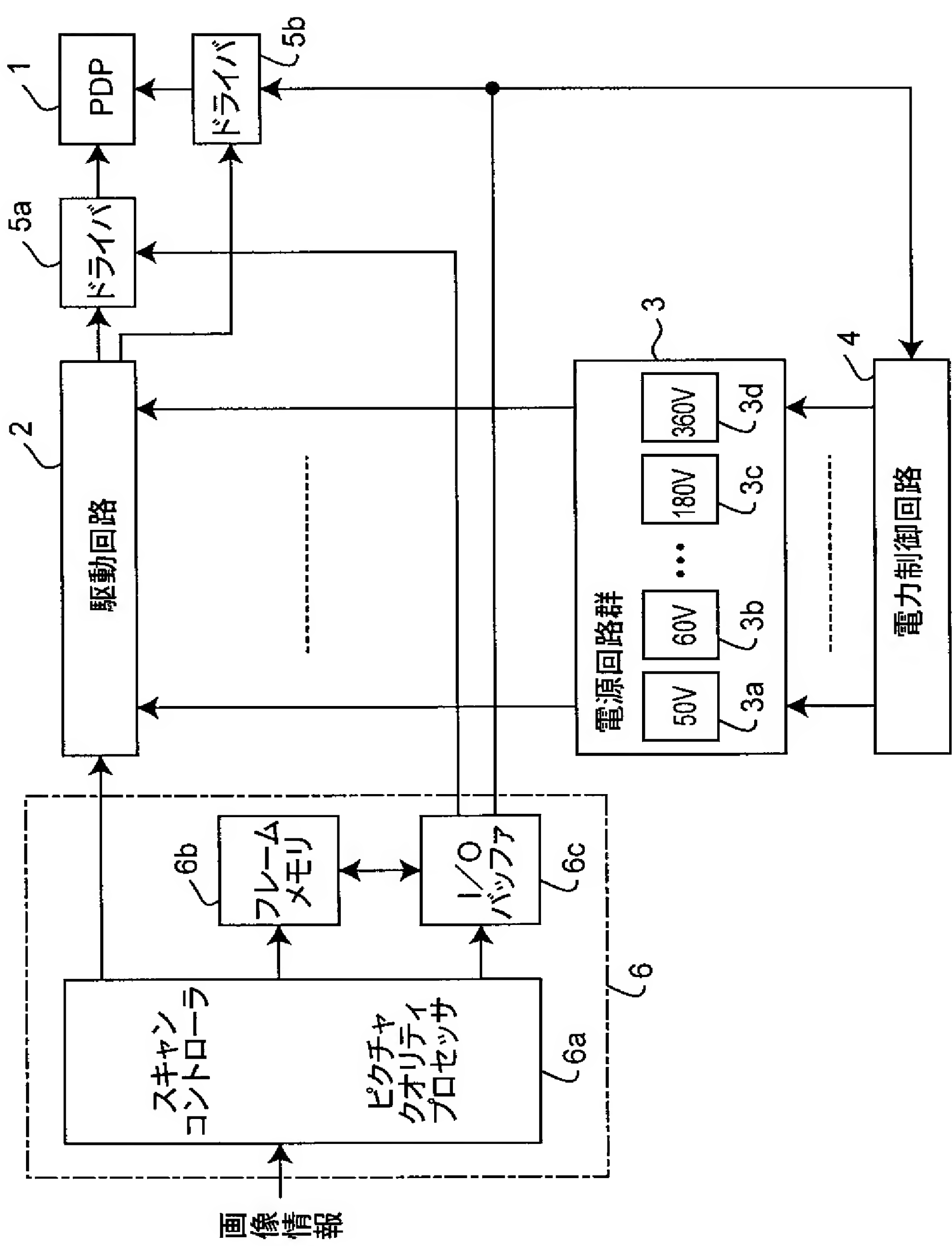


【図 8】

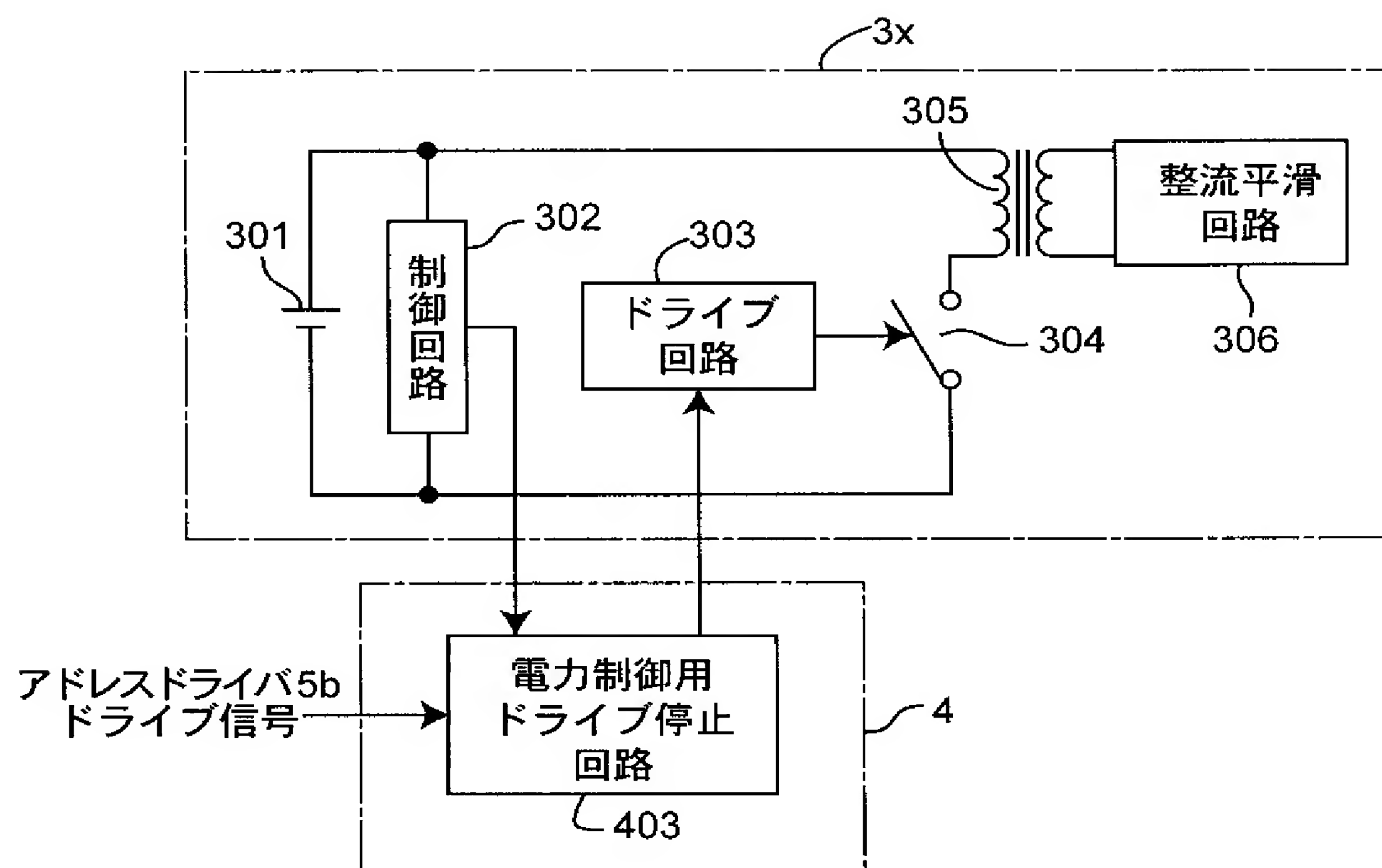




【図 10】



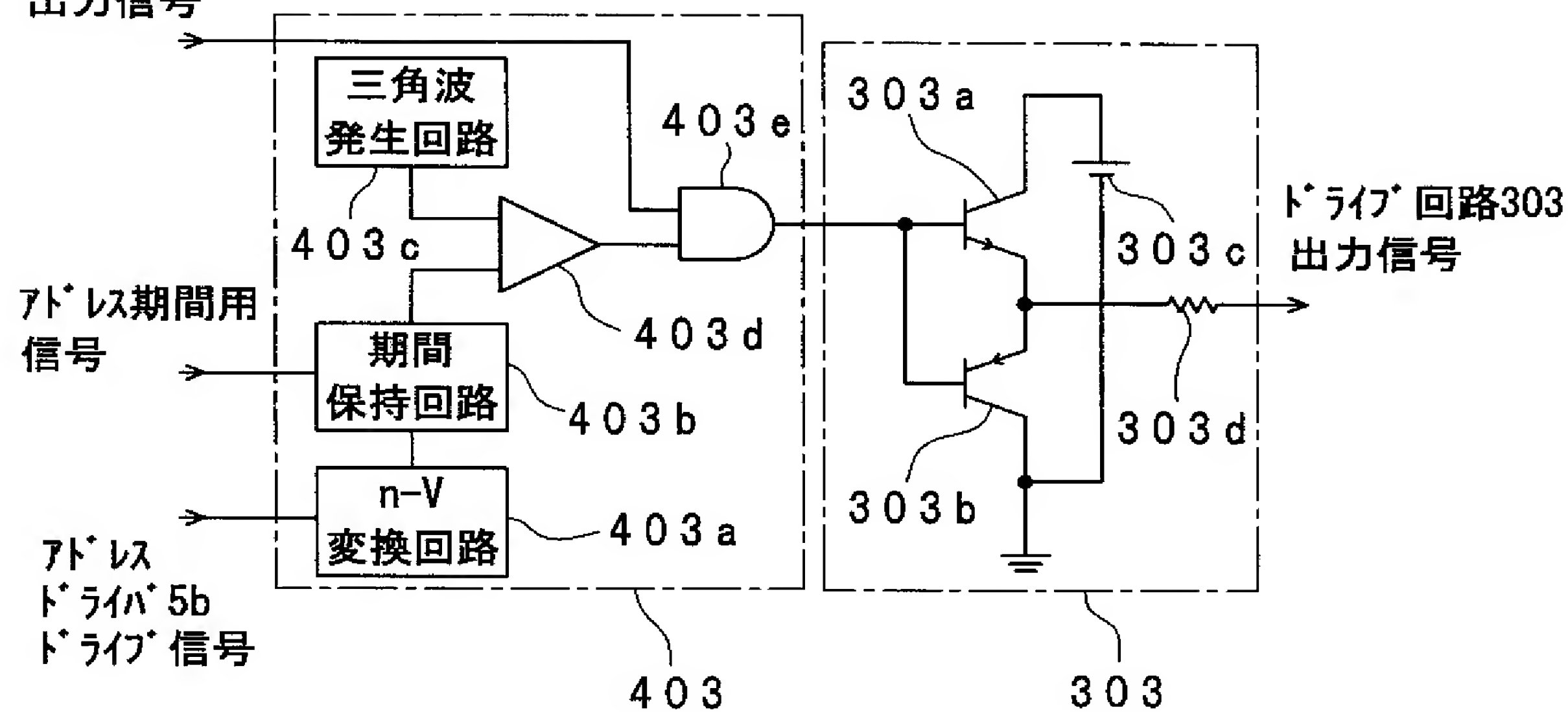
【図 1 1】



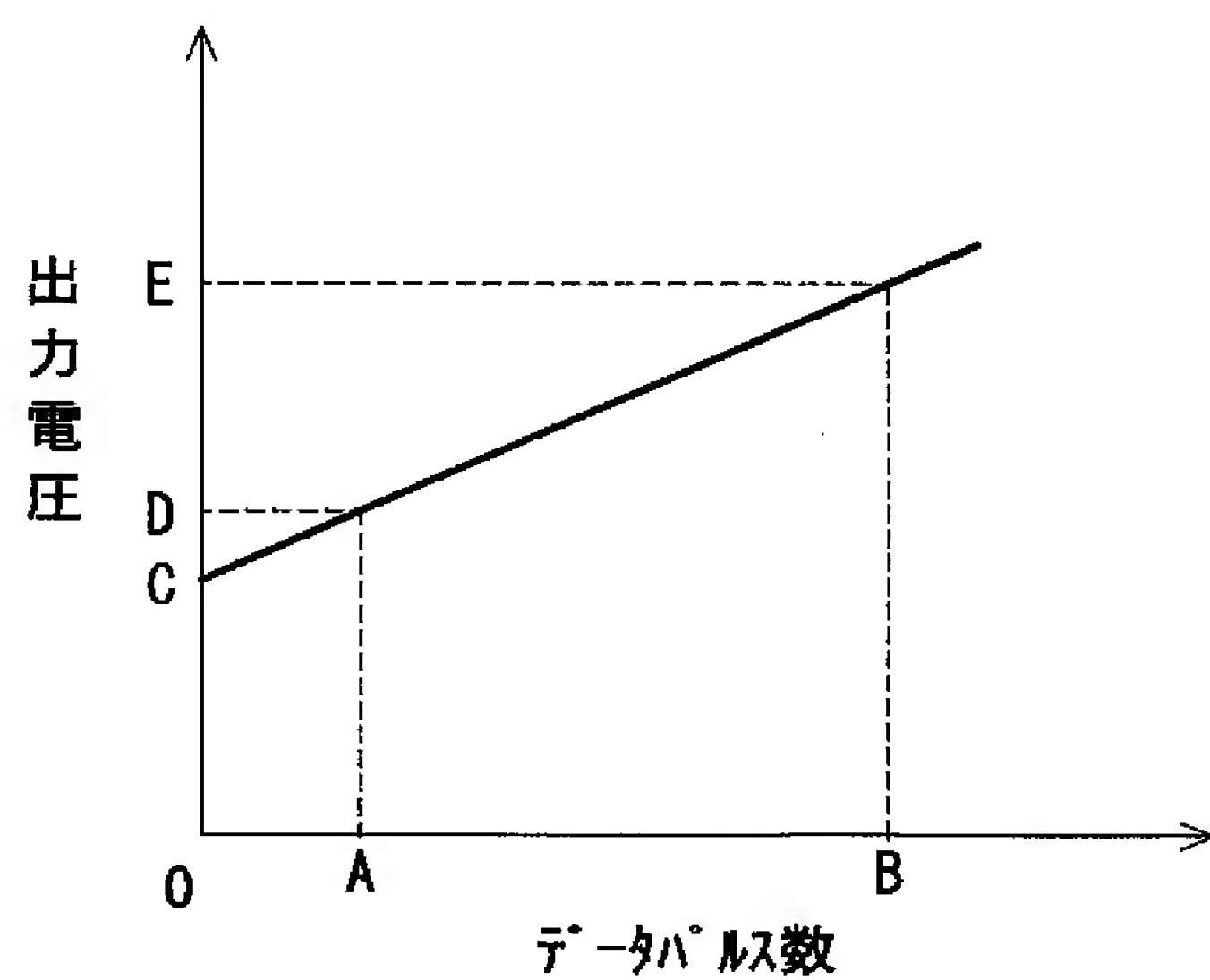
【図 1 2】

(a)

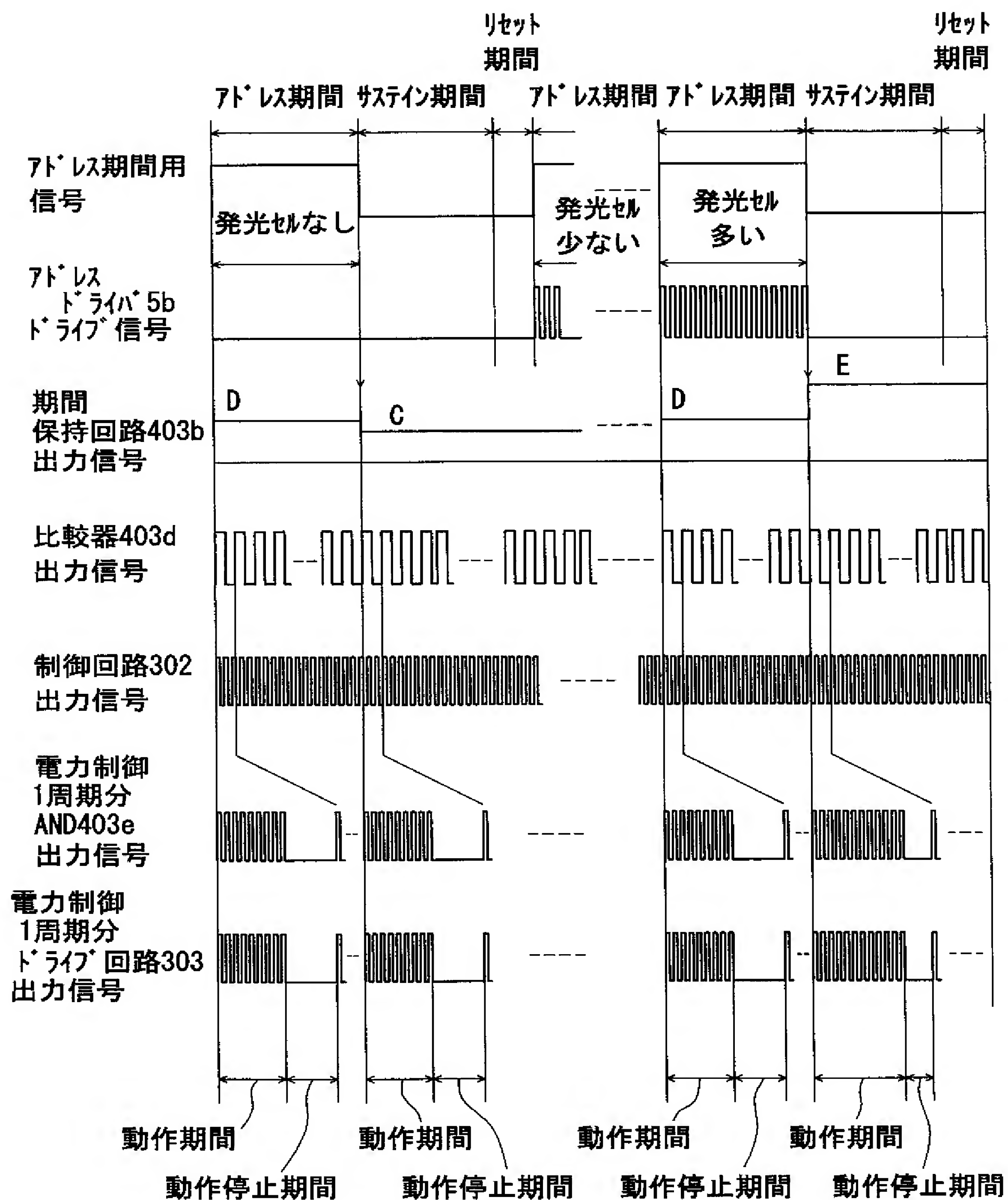
制御回路302
出力信号



(b)

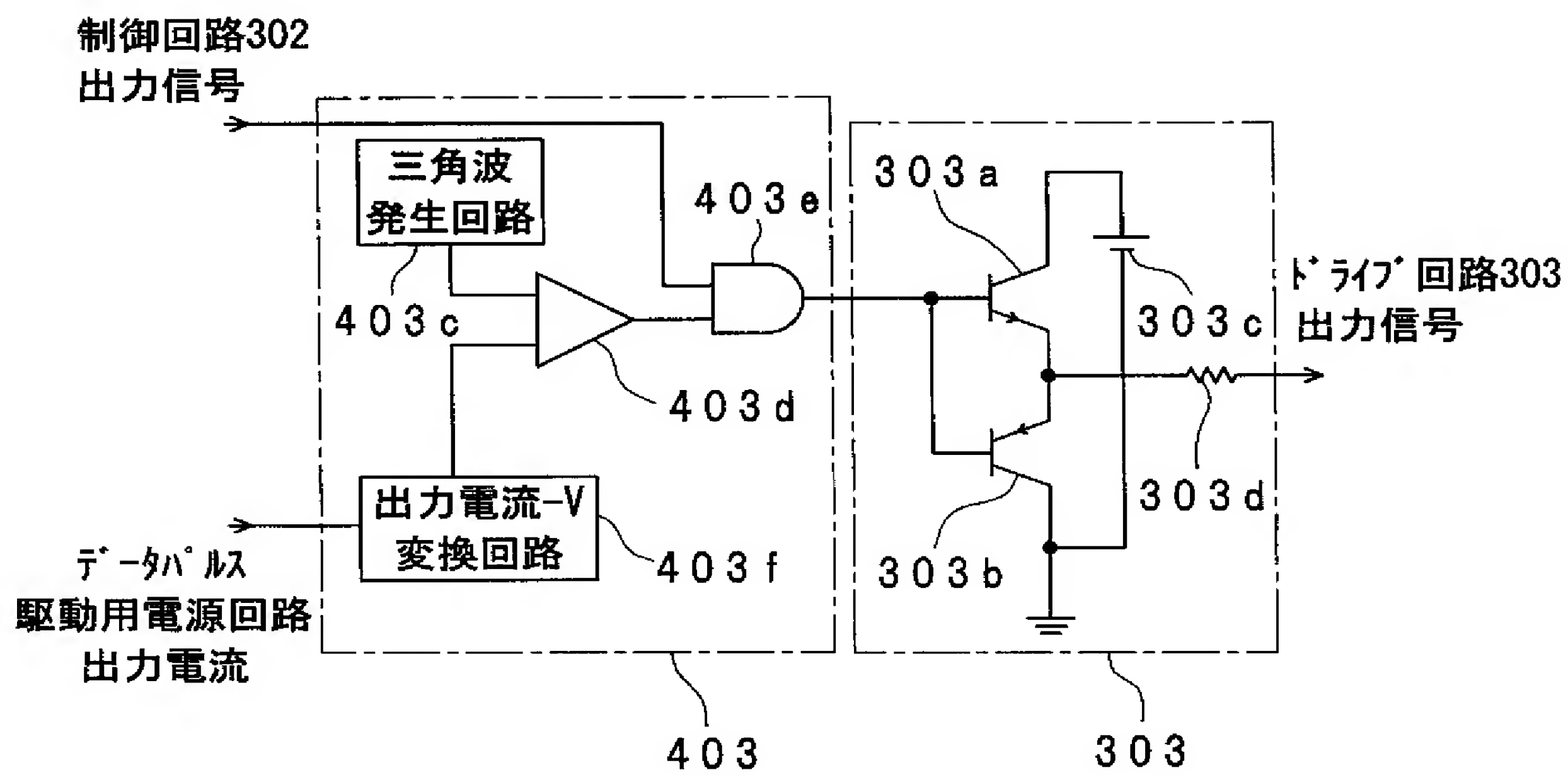


【図 1 3】

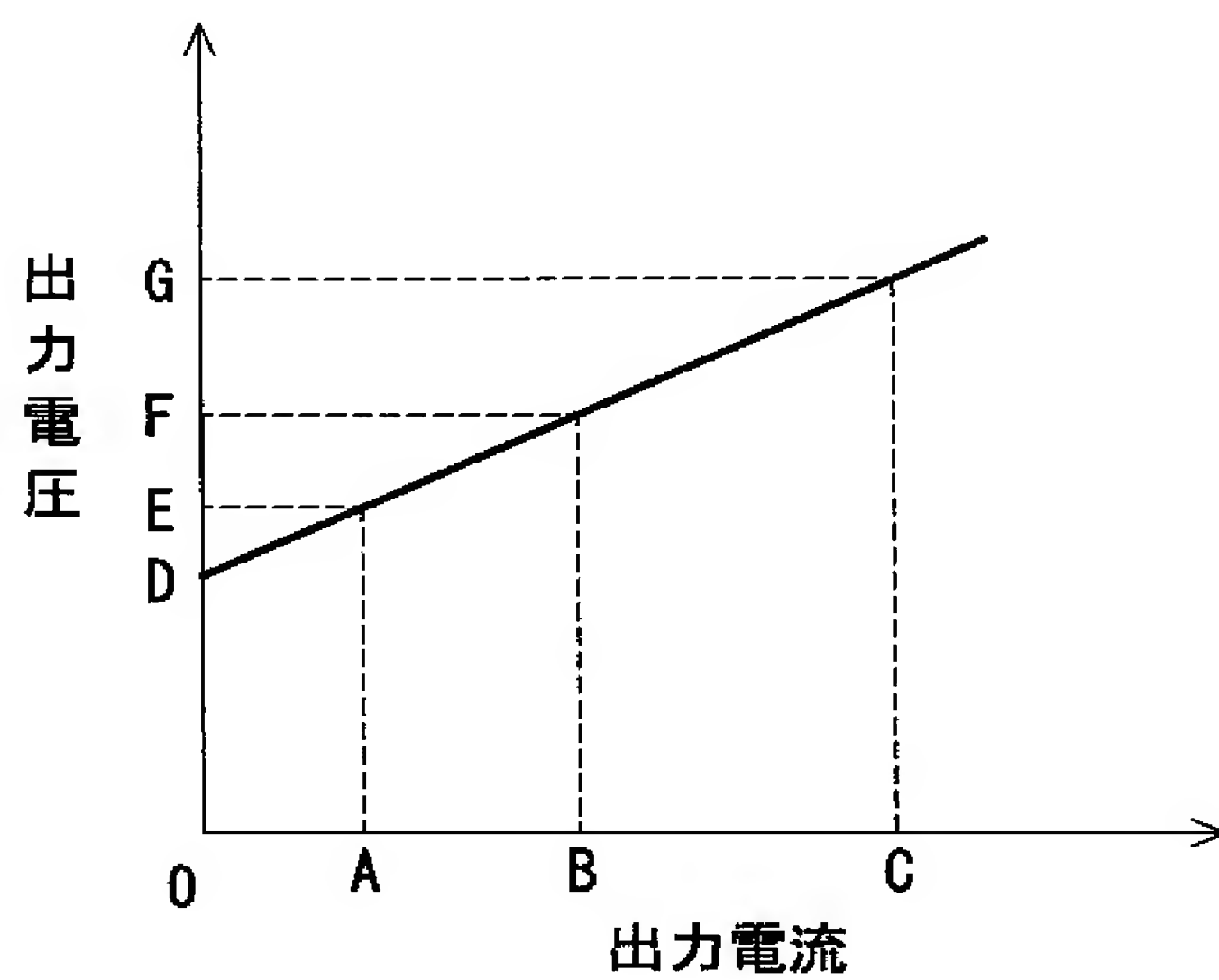


【図 1 4】

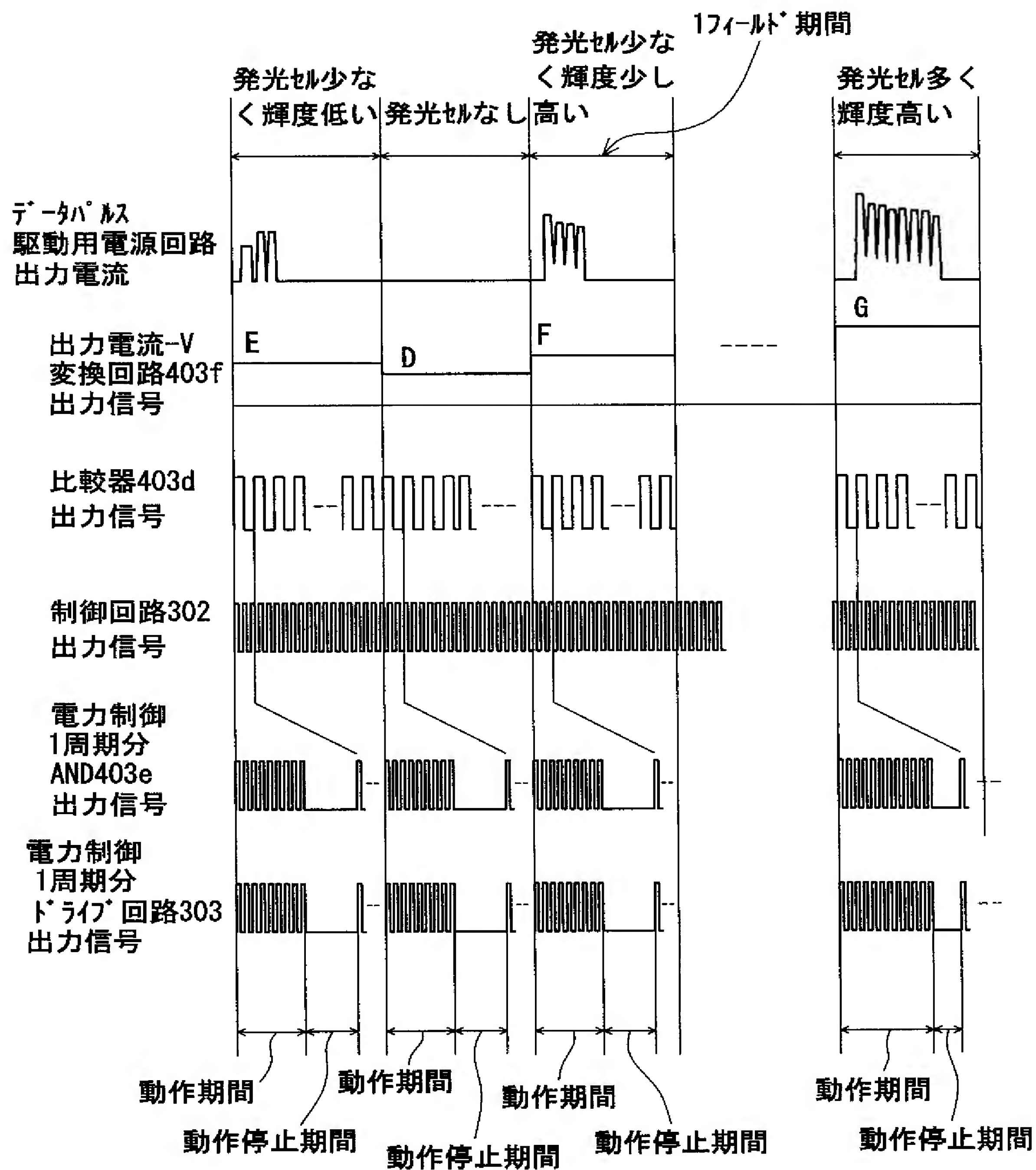
(a)



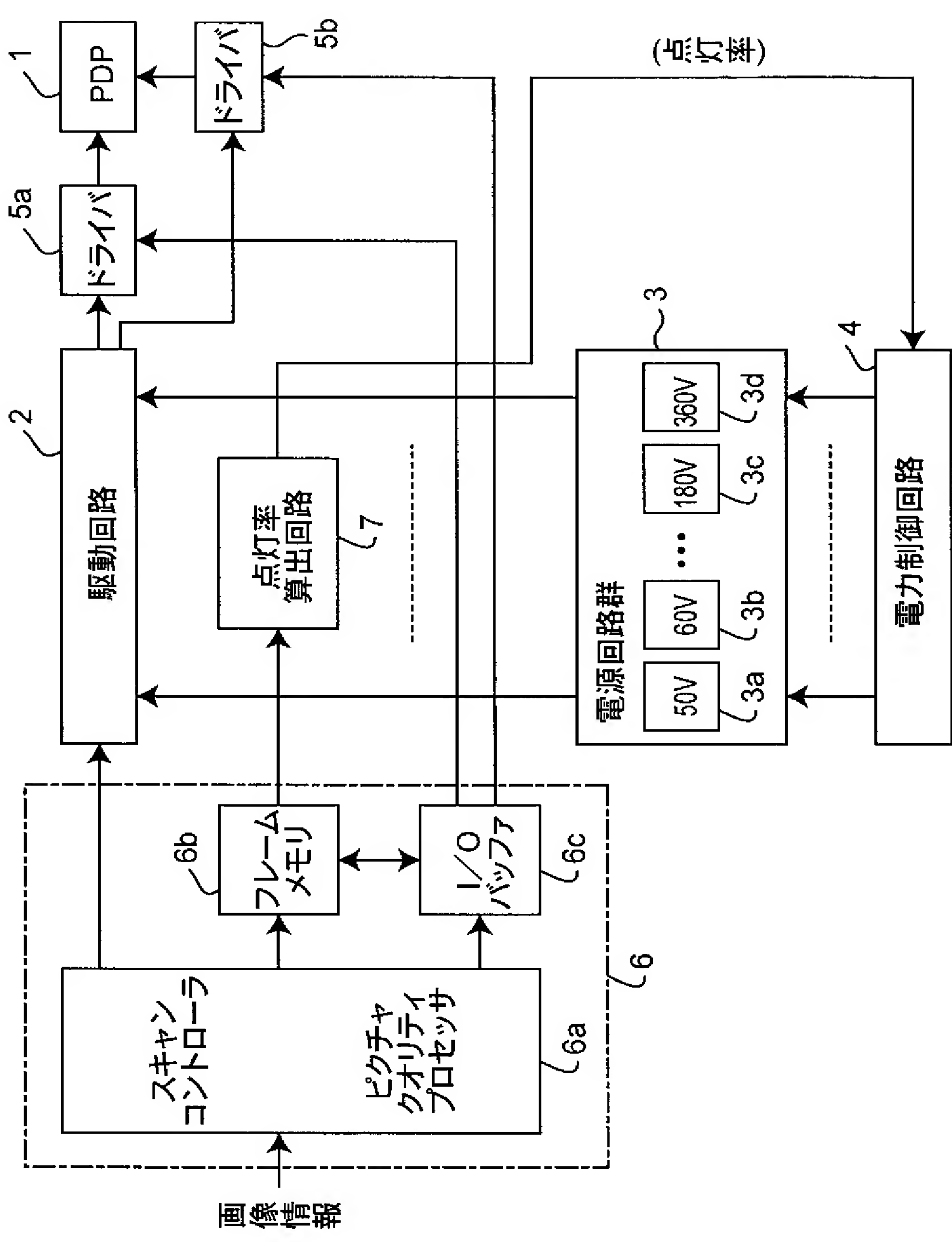
(b)



【図 1 5】

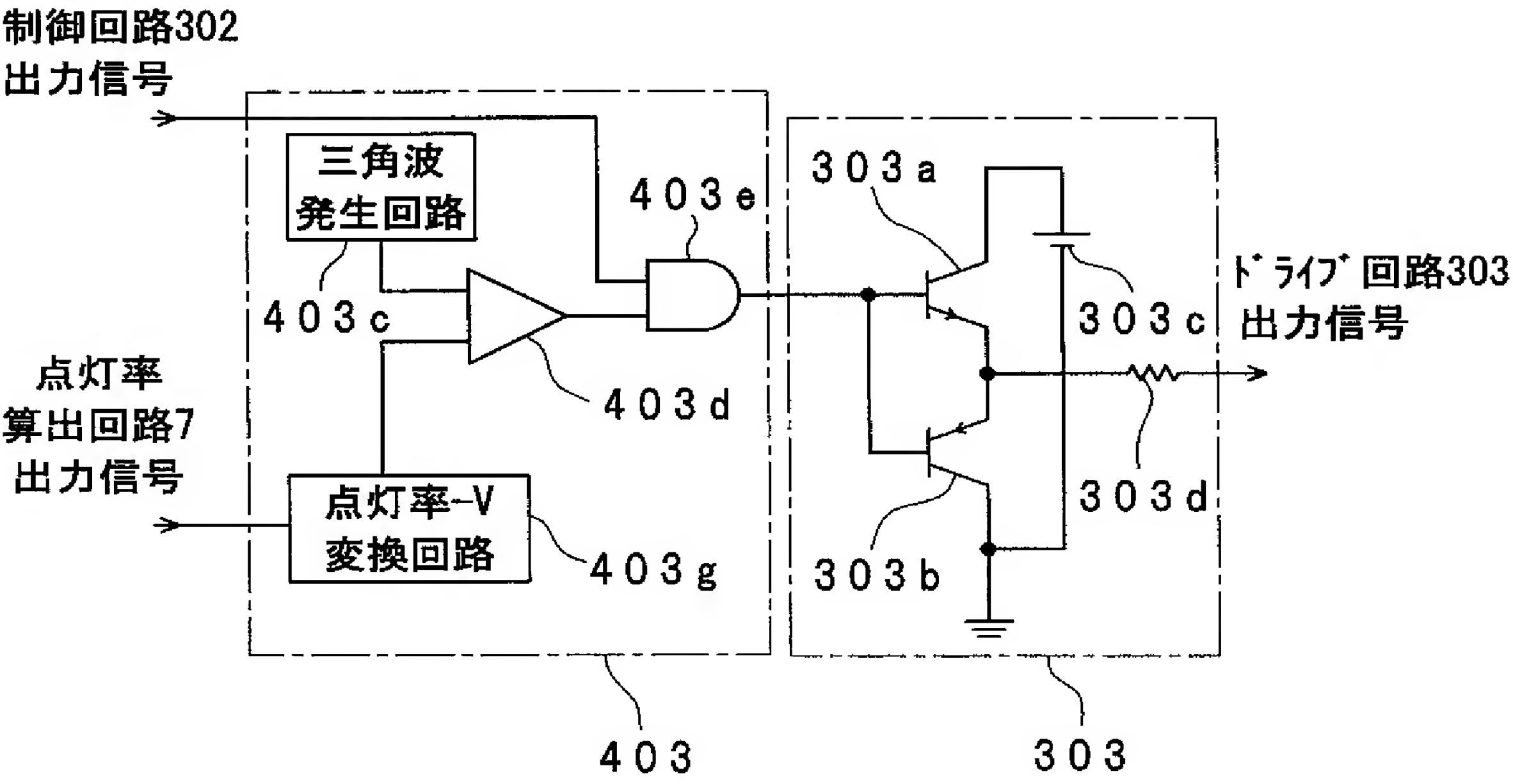


【図 16】

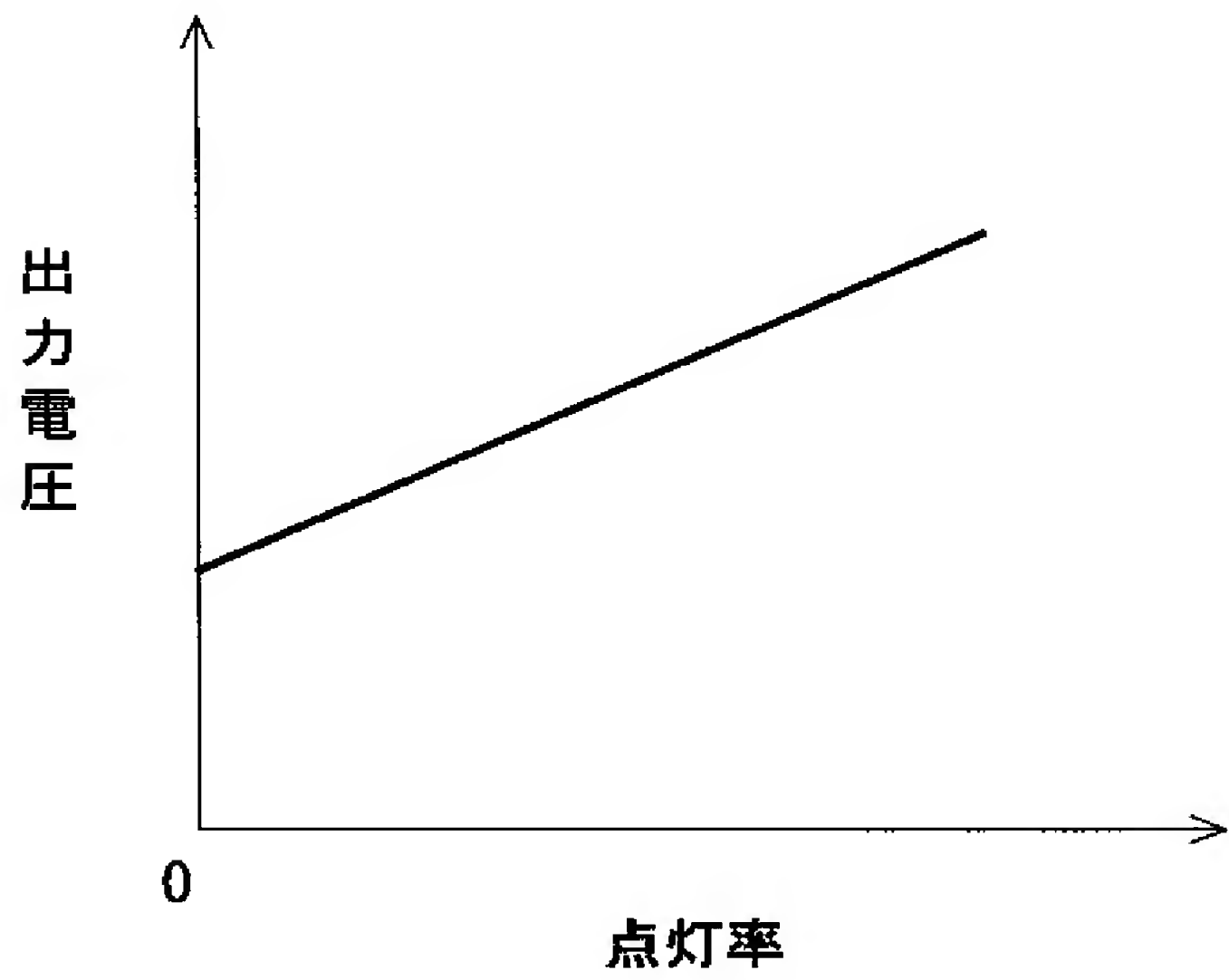


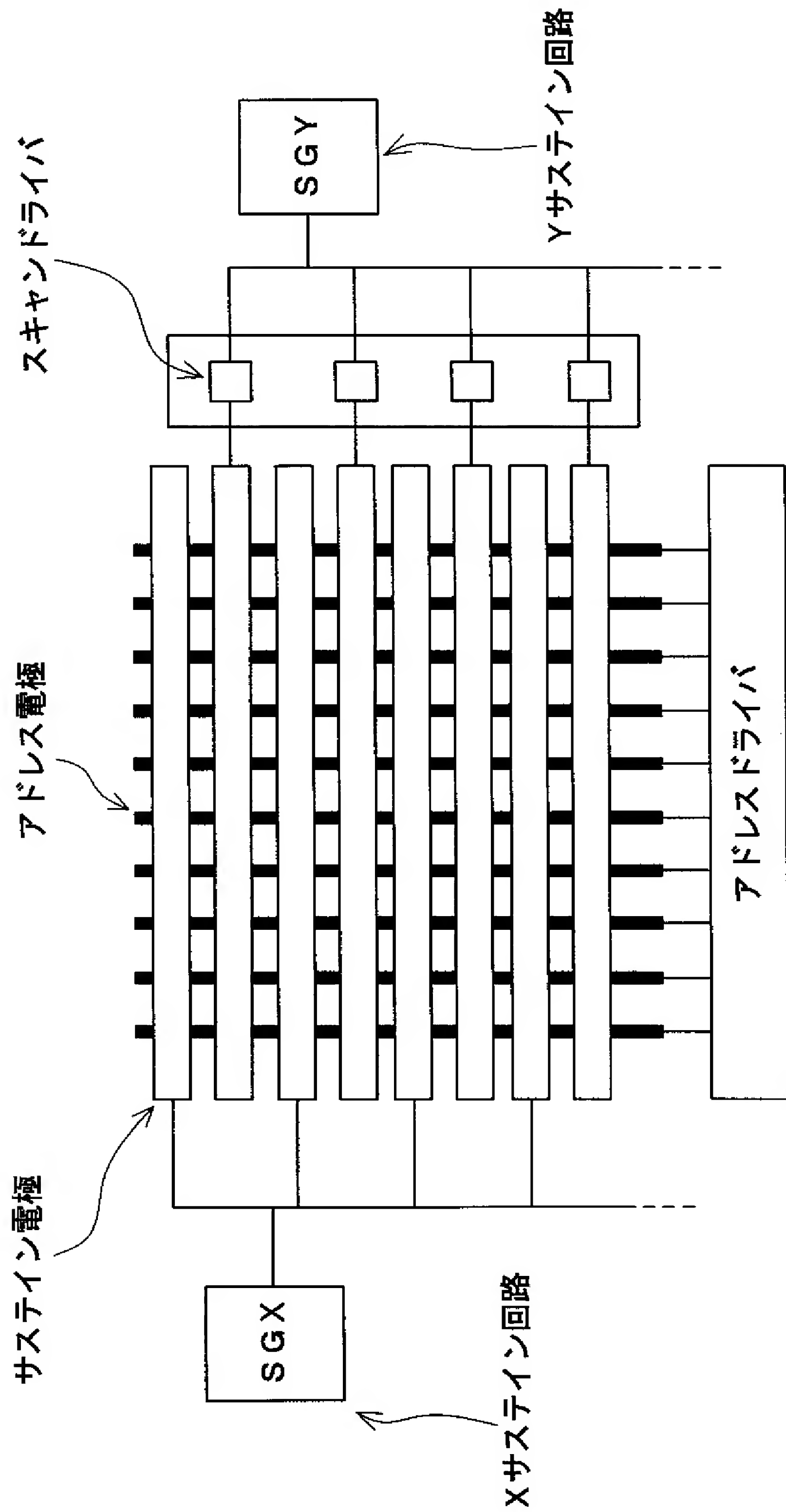
【 図 1 7 】

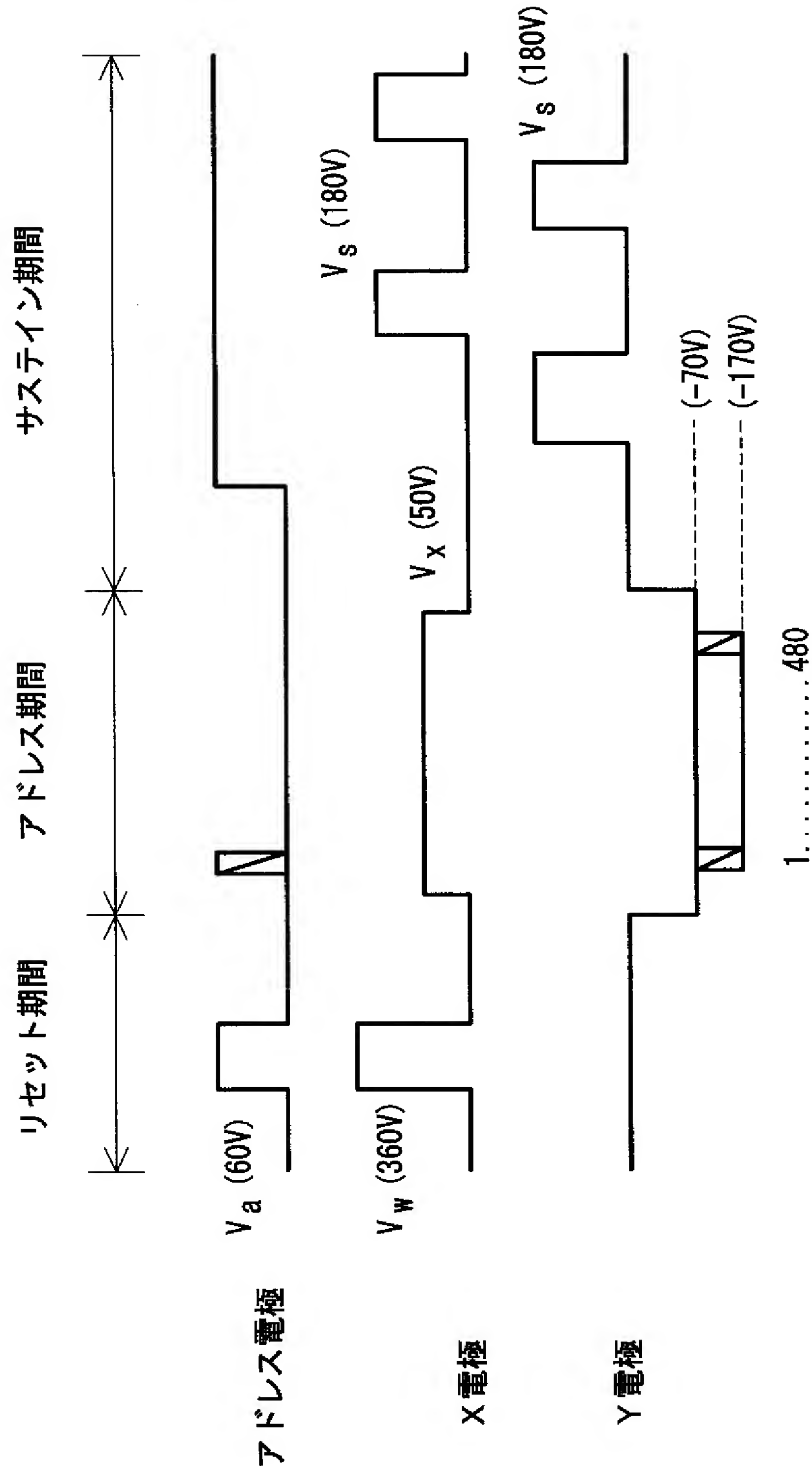
(a)

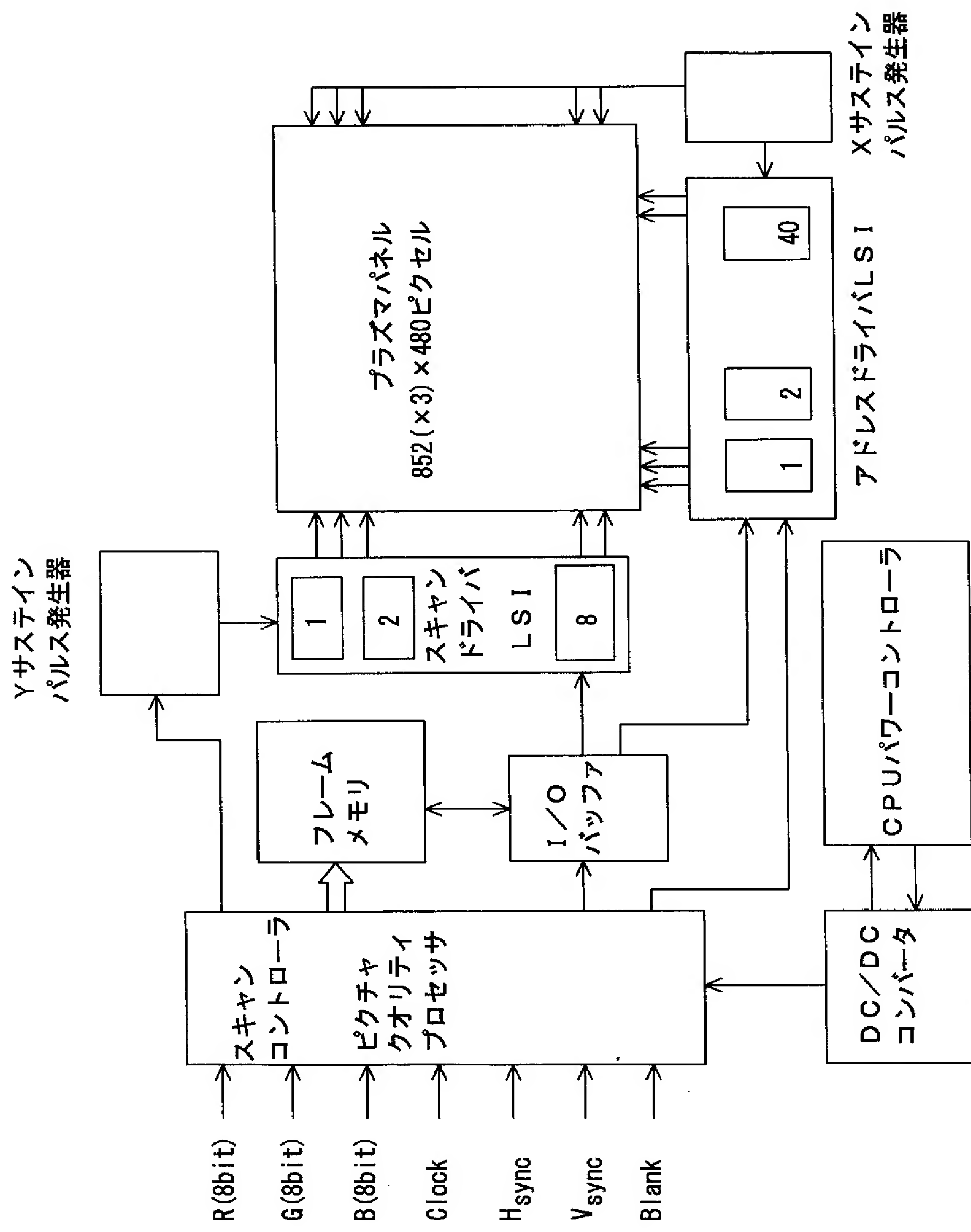


(b)









【書類名】 要約書

【要約】

【課題】 表示輝度の低下を伴うことなく、PDP表示装置内の消費電力を低減し、温度上昇の低下による信頼性に優れたPDP表示装置を提供する。

【解決手段】 PDP表示装置は、PDP1の各電極にそれぞれ異なる電圧を供給する複数の電源回路群（3）と、電源回路群（3）の動作／停止を制御する電力制御回路（4）を有する。電力制御回路（4）は、アドレス期間、サステイン期間等の制御期間毎に、その期間においてPDP1の各電極に供給される各々の波形に必要なない電源回路（3a、3b、3c、…）を停止させる。

【選択図】 図1

出願人履歴

0 0 0 0 0 5 8 2 1

19900828

新規登録

大阪府門真市大字門真 1 0 0 6 番地

松下電器産業株式会社